



Universidade do Minho

João Mário Fonseca Machado

**Desenvolvimento de um Filtro Ativo de
Potência Paralelo com Nova Topologia
Multinível**

Dissertação submetida na Universidade do Minho
para a obtenção do grau de
Mestre em Engenharia Eletrónica e de Computadores

Trabalho realizado sob orientação do
Doutor Vítor Duarte Fernandes Monteiro

Dezembro de 2019

DIREITOS DE AUTOR E CONDIÇÕES DE UTILIZAÇÃO DO TRABALHO POR TERCEIROS

Este é um trabalho académico que pode ser utilizado por terceiros desde que respeitadas as regras e boas práticas internacionalmente aceites, no que concerne aos direitos de autor e direitos conexos.

Assim, o presente trabalho pode ser utilizado nos termos previstos na licença abaixo indicada.

Caso o utilizador necessite de permissão para poder fazer um uso do trabalho em condições não previstas no licenciamento indicado, deverá contactar o autor, através do RepositóriUM da Universidade do Minho.



Atribuição

CC BY

<https://creativecommons.org/licenses/by/4.0/>

Agradecimentos

A elaboração desta dissertação só foi possível graças a contribuições importantes de algumas pessoas, às quais pretendo transmitir os meus mais sinceros agradecimentos.

Desejo agradecer ao meu orientador, Doutor Vitor Duarte Fernandes Monteiro, pela disponibilidade mostrada e pela grande motivação constantemente transmitida no decorrer do trabalho. Agradecer também pela oportunidade de aprendizagem com a partilha de conhecimento e por ter revisto este documento mais do que uma vez.

Um agradecimento especial aos Engenheiros Tiago Sousa, Luís Barros e Delfim Pedrosa por o auxílio prestado, mostrando sempre disponíveis para ajudar nos problemas que foram encontrados, dando conselhos sobre o sistema, tanto a nível de hardware e software, como no *layout* das PCBs desenvolvidas, sacrificando o seu tempo de trabalho.

Agradecer também ao Engenheiro José Cunha pelos ensinamentos transmitidos sobre eletrónica e pelos conselhos sugeridos a nível de hardware.

Um agradecimento especial ao meu colega e amigo André Lemos, companheiro de bancada, por toda a ajuda, companheirismo, motivação e partilha nos momentos bons, mas particularmente nos momentos menos bons, em que tudo parecia incerto.

Agradeço aos também meus outros colegas e amigos de laboratório Sérgio Coelho, Diogo Vaz, Bruno Nova, Paulo Passos, José Silva, que tal como eu, realizaram a dissertação de mestrado no laboratório, pelo companheirismo, espírito de ajuda e pelos momentos de convívio e aprendizagem com trocas de ideias.

Este trabalho de dissertação está enquadrado no projeto de IC&DT “Quality4Power - Enhancing the Power Quality for Industry 4.0 in the era of Microgrids”, financiado pela Fundação para a Ciência e Tecnologia, com a referência PTDC/EEI-EEE/28813/2017.

Este trabalho de dissertação está enquadrado no projeto de IC&DT “DAIPESEV – Development of Advanced Integrated Power Electronic Systems for Electric Vehicles”, financiado pela Fundação para a Ciência e Tecnologia, com a referência PTDC/EEI-EEE/30382/2017.

Quero agradecer aos meus pais por esta oportunidade e por todos os esforços realizados pelo meu sucesso académico, dando sempre todo o apoio e motivando para a obtenção de resultados.

Por fim e não menos importante, quero agradecer à Bruna Magalhães pelo apoio, paciência, carinho e pela motivação sempre demonstrados nos melhores e principalmente nos piores momentos vividos no decorrer deste trabalho de dissertação.

DECLARAÇÃO DE INTEGRIDADE

Declaro ter atuado com integridade na elaboração do presente trabalho académico e confirmo que não recorri à prática de plágio nem a qualquer forma de utilização indevida ou falsificação de informações ou resultados em nenhuma das etapas conducente à sua elaboração.

Mais declaro que conheço e que respeitei o Código de Conduta Ética da Universidade do Minho.

Resumo

Atualmente, é muito importante a qualidade de energia elétrica (QEE) que é fornecida ao setor industrial e residencial, devido aos prejuízos económicos causados pela falta de QEE, pois a eficiência e o tempo de vida útil das cargas são afetados. Por tal motivo, este tema tornou-se objeto de estudo e de grande preocupação a nível mundial.

Para garantir a melhoria na qualidade das formas de onda geradas pelos inversores, a abordagem comum prende-se, principalmente, com o aumento da frequência de comutação dos semicondutores. Contudo, isto leva ao aumento das perdas de comutação, maior *stress* aplicado aos semicondutores e ao aumento das interferências eletromagnéticas. Para contornar esta situação, uma abordagem interessante consiste no uso de inversores com mais níveis na forma de onda gerada na sua saída. Hoje em dia, o avanço tecnológico permite, então, conjugar estes dois métodos (aumento da frequência de comutação e aumento dos níveis de tensão), utilizando semicondutores de última geração da eletrónica de potência (nomeadamente SiC – Carboneto de Silício). Estes semicondutores são capazes de comutar a elevadas frequências, com perdas de comutação reduzidas, e, com isso, possibilitar reduzir o tamanho do inversor.

Assim, esta dissertação consiste no desenvolvimento de um inversor com tecnologia multinível operando como filtro ativo de potência paralelo (FAP), contribuindo então para mitigar os problemas de QEE. Trata-se de uma versão monofásica que permite compensar os problemas de QEE relacionados com harmónicos de corrente e com o baixo fator de potência. Assim, com o desenvolvimento do inversor é possível a sintetização de correntes com elevada qualidade e com baixo *ripple*, bem como reduzido tamanho face aos inversores atuais.

A dissertação apresenta uma análise comparativa de conversores bidirecionais multinível, limitados ao máximo de cinco níveis, tendo como objetivo aplicações de FAP diretamente ligados à rede elétrica. Com base neste estudo foi possível selecionar a topologia adotada e efetuar uma verificação detalhada da topologia com recurso à ferramenta de simulação PSIM. Posteriormente, foi integralmente desenvolvido um protótipo laboratorial, incluindo hardware e software (programação em DSP), e foi efetuada uma verificação experimental, permitindo validar as vantagens e limitações da topologia e das tecnologias adotadas.

Palavras-Chave: Qualidade de energia elétrica, Inversor multinível, Filtro ativo de potência paralelo, Eletrónica de potência, SiC – Carboneto de Silício.

Abstract

Nowadays, the power quality supplied to the industrial and domestic sector is very important, due to the economic losses caused by the lack of power quality, because the efficiency and the shelf life of the loads are affected. For that reason, this subject matter has become object of study and of concern worldwide.

The improvement in the waveforms quality generated by the inverters, the common approach, was mostly related with the increased of semiconductors frequency switching. However, this leads to increased switching losses, increased stress applied to the semiconductors and increased electromagnetic interference. To overcome this situation, the most interesting approach, consists on using inverters with more levels in the waveform generated at their output. The technologic advance allows to combine these two methods (increased frequency switching and increased voltage levels), by using latest generation semiconductors of power electronics (namely SiC – Silicon Carbide). These semiconductors are capable to switch at high frequencies, with reduced switching losses, and thus make it possible to reduce the inverter size.

Therefore, this dissertation consists on the development of a inverter with multilevel technology operating as active power filter, contributing to the mitigation of QEE problems. It is a single-phase version, that allows to compensate the QEE problems related with harmonic currents and power factor. For that reason, with the development of a inverter is possible the current synthesis with higher quality and low ripple, as well reduced size compared to current inverters.

The dissertation presents a comparative analysis of the multilevel bidirectional converters, confined to five levels, having as a main goal the application in FAP directly connected to the electrical power grid. Based on this study was possible to select the chosen topology and do a detailed verification using the simulation tool PSIM. Subsequently, a laboratory prototype was fully developed, including hardware and software (DSP programming), and an experimental verification was carried out, allowing to validate the advantages and limitations of the topology and adopted technologies.

Keywords: Power Quality, Multilevel inverter, Active power filter, Power electronics, SiC – Silicon Carbide.

ÍNDICE

Agradecimentos	iii
Resumo	v
Abstract	vi
Lista de Figuras	ix
Lista de Tabelas.....	xiii
Acrónimos e Siglas.....	xiv
Nomenclatura.....	xvi
Capítulo 1 Introdução.....	1
1.1 Qualidade da Energia Elétrica.....	1
1.2 Harmónicos de Corrente.....	2
1.3 Fator de Potência.....	5
1.4 Soluções para Problemas de Qualidade de Energia Elétrica	7
1.5 Motivações	8
1.6 Objetivos	9
1.7 Organização e Estrutura da Dissertação	10
Capítulo 2 Filtro Ativo Paralelo Monofásico: Princípio de Operação, Controlo e Topologias	11
2.1 Introdução.....	11
2.2 Filtros Ativos de Potência	11
2.3 Técnica de Modulação de Largura de Pulso Sinusoidal	14
2.3.1 SPWM Bipolar	15
2.3.2 SPWM Unipolar	16
2.3.3 SPWM para Conversores CC-CA Multinível	16
2.4 Técnicas de Controlo de Corrente	18
2.4.1 Comparador com Histerese	18
2.4.2 <i>Periodic Sampling</i>	19
2.4.3 Controlo de Corrente PI	20
2.4.4 Controlo de Corrente Preditivo	20
2.5 Técnicas de Controlo para Filtros Ativos Paralelos	22
2.5.1 Teoria de Controlo $p-q$	22
2.5.2 Teoria de Controlo por Transformada de Fourier	24
2.5.3 Teoria Fryze-Buchholz-Depenbrock	26
2.6 Conversores CC-CA Fonte de Tensão	28
2.6.1 Conversor CC-CA em Meia Ponte	29
2.6.2 Conversor CC-CA em Ponte Completa.....	30
2.6.3 Conversor CC-CA Multinível.....	31
2.7 Conclusão	38
Capítulo 3 Simulações do Filtro Ativo Paralelo Monofásico com Inversor Multinível	40
3.1 Introdução	40

3.2	Modelo de Simulação do Filtro Paralelo Monofásico com Inversor Multinível	40
3.3	Sistema de Sincronização com a Rede Elétrica	41
3.4	Operação como Filtro Ativo Paralelo.....	42
3.4.1	Controlo da Tensão do Barramento CC	43
3.4.2	Cálculo da Corrente de Compensação	44
3.4.3	Controlo de Corrente Preditivo	45
3.4.4	Resultados de Simulação do Filtro Ativo Paralelo com Diferentes Cargas.....	45
3.5	Conclusão	50
Capítulo 4	Desenvolvimento do Hardware do Filtro Ativo Paralelo Monofásico com Inversor Multinível	51
4.1	Introdução.....	51
4.2	Microcontrolador	51
4.3	Sensor de Tensão	53
4.4	Sensor de Corrente	55
4.5	Placa de Condicionamento de Sinal	56
4.5.1	Condicionamento de Sinal	58
4.5.2	Proteção	60
4.6	Circuito de <i>Driver</i>	62
4.7	Conversor CC-CA Multinível	65
4.8	Semicondutores de Potência	69
4.8.1	Resistência de <i>Gate</i>	69
4.8.2	Proteções de <i>Gate</i>	70
4.9	Barramento CC.....	70
4.10	Bobina de Acoplamento à Rede Elétrica	71
4.11	Condensadores de Desacoplamento	72
4.12	Conclusão	72
Capítulo 5	Resultados Experimentais do Filtro Ativo Paralelo Monofásico com Inversor Multinível	74
5.1	Introdução.....	74
5.2	Resultado da Sincronização com a Rede Elétrica.....	74
5.3	Resultados da Validação do Sistema	75
5.3.1	Teste em Malha Aberta.....	75
5.3.2	Testes em Malha Fechada	76
5.4	Testes de Operação como FAP	83
5.5	Integração do Sistema Desenvolvido	94
5.6	Conclusão	94
Capítulo 6	Conclusão	96
6.1	Conclusões.....	96
6.2	Sugestões para Trabalho Futuro	99
	Lista de Referências	101

Lista de Figuras

Figura 1.1. Distribuição dos prejuízos associados a cada tipo de problema de QEE [2].	1
Figura 1.2. Corrente com distorção harmónica: (a) Corrente total; (b) Corrente decomposta em sinusóides individuais nas suas componentes de frequência.	3
Figura 1.3. Espectro harmónico do sinal referente há Figura 1.2: (a) THD total; (b) THD em relação à fundamental.	4
Figura 1.4. Corrente com a mesma distorção harmónica da Figura 1.2, mas conjugada com diferentes ângulos.	5
Figura 1.5. Tensão e corrente de uma rede monofásica: (a) $DPF < 1$ e $DF < 1$; (b) $DPF = 1$ e $DF < 1$; (c) $DPF < 1$ e $DF = 1$.	6
Figura 2.1. Representação da conexão de um FAP ligado à rede elétrica.	12
Figura 2.2. Representação da conexão de um FAS ligado à rede elétrica.	12
Figura 2.3. Representação da conexão de um UPQC ligado à rede elétrica.	12
Figura 2.4. Representação do funcionamento de um FAP ligado à rede elétrica.	13
Figura 2.5. Funcionamento da modulação SPWM.	15
Figura 2.6. Funcionamento da modulação SPWM bipolar e tensão de saída resultante.	15
Figura 2.7. Funcionamento da modulação SPWM unipolar e tensão de saída resultante.	16
Figura 2.8. Distribuição vertical de portadoras: (a) <i>Phase Disposition</i> ; (b) <i>Phase Opposition Disposition</i> ; (c) <i>Alternative Phase Opposition Disposition</i> .	17
Figura 2.9. Distribuição horizontal de portadoras.	17
Figura 2.10. Diagrama de blocos do funcionamento do controlo por histerese.	18
Figura 2.11. Corrente de saída com controlo por comparador com histerese: duas margens de histerese diferentes, sendo que a margem em (b) é 10 vezes menor do que em (a).	19
Figura 2.12. Diagrama de blocos do controlo por <i>periodic sampling</i> .	19
Figura 2.13. Corrente de saída com controlo por <i>periodic sampling</i> com diferentes frequências de amostragem: (a) 10 kHz; (b) 40 kHz.	19
Figura 2.14. Diagrama de blocos do controlo por PI.	20
Figura 2.15. Corrente de saída com controlo por PI com uma frequência de comutação de 40 kHz.	20
Figura 2.16. Corrente de saída com controlo por preditivo com modulação SPWM unipolar com uma frequência de comutação de 100 kHz.	22
Figura 2.17. Topologia de conversor CC-CA tendo em conta o barramento CC: (a) CSI; (b) VSI.	29
Figura 2.18. Conversor CC-CA em meia ponte.	29
Figura 2.19. Conversor CC-CA em ponte completa.	31
Figura 2.20. Conversor CC-CA multinível do tipo DCI de três níveis.	32
Figura 2.21. Conversor CC-CA multinível do tipo DCI de cinco níveis.	33
Figura 2.22. Conversor CC-CA multinível do tipo DCI de cinco níveis, com representação dos díodos necessários para que todos tenham o mesmo nível de tensão.	33
Figura 2.23. Conversor CC-CA multinível do tipo CCI de três níveis.	34
Figura 2.24. Conversor CC-CA multinível do tipo CCI de cinco níveis.	35
Figura 2.25. Conversor CC-CA multinível do tipo CMLI de cinco níveis.	37
Figura 2.26. Conversor CC-CA multinível do tipo ACMLI de vinte e sete níveis.	38

Figura 3.1. Modelo de simulação em PSIM do sistema.	41
Figura 3.2. Modelo do sistema em diagrama.	41
Figura 3.3. Tensão da rede elétrica e o sinal da PLL.	42
Figura 3.4. Tensão da rede elétrica distorcida e o sinal da PLL.	42
Figura 3.5. Esquemático da topologia do conversor CC-CA multinível utilizado.	43
Figura 3.6. Regulação do barramento CC: (a) tensões em cada banco de condensadores; (b) corrente na rede;(c) tensão no conversor.	44
Figura 3.7. Controle de corrente preditivo, tendo a corrente produzida e a corrente de referência.	45
Figura 3.8. Conversor operando como FAP compensando uma carga: (a) tensão e corrente na carga; (b) corrente produzida pelo conversor; (c) tensão e corrente da rede elétrica; (d) tensão do conversor; (e) tensões nos bancos de condensadores.	46
Figura 3.9. Conversor operando como FAP compensando a entrada de mais duas cargas na rede elétrica: (a) tensão e corrente na carga; (b) corrente produzida pelo conversor; (c) tensão e corrente da rede elétrica; (d) tensão do conversor; (e) tensões nos bancos de condensadores.	47
Figura 3.10. Conversor operando como FAP compensando a saída de mais duas cargas na rede elétrica: (a) tensão e corrente na carga; (b) corrente produzida pelo conversor; (c) tensão e corrente da rede elétrica; (d) tensão do conversor; (e) tensões nos bancos de condensadores.	48
Figura 3.11. Conversor operando como FAP compensando o fator de potência: (a) tensão e corrente na carga; (b) corrente produzida pelo conversor; (c) tensão e corrente da rede elétrica; (d) tensão do conversor; (e) tensões nos bancos de condensadores.	49
Figura 4.1. .Placa de desenvolvimento: (a) DSP da texas <i>TMS320F28335</i> ; (b) PCB de suporte da DSP.	52
Figura 4.2. Sensor de tensão CYHVS5/25A: (a) Representação em diagrama; (b) Imagem do sensor.	53
Figura 4.3. PCB onde foi incorporado os sensores de tensão: (a) top da PCB; (b) <i>bottom</i> da PCB.	54
Figura 4.4. Sensor de corrente LTSR 15-NP: (a) Representação em diagrama; (b) Imagem do sensor.	55
Figura 4.5. Sensor de corrente: top da PCB desenvolvida onde foi incorporado.	56
Figura 4.6. PCB desenvolvida para o condicionamento de sinal: (a) <i>top</i> da PCB; (b) <i>bottom</i> da PCB.	57
Figura 4.7. PCB desenvolvida com todos os componentes soldados: (a) top da PCB; (b) <i>bottom</i> da PCB.	57
Figura 4.8. Resistências de medida do sensor de tensão alternada, o amplificador somador não-inversor e o seguidor de tensão com o filtro passivo e o diodo de <i>zener</i> de proteção do ADC.	58
Figura 4.9. Resistências de medida do sensor de tensão contínua e o seguidor de tensão com o filtro passivo e o diodo de <i>zener</i> de proteção do ADC.	59
Figura 4.10. Sensor de corrente com o divisor resistivo e o seguidor de tensão com o filtro passivo e o diodo de <i>zener</i> de proteção do ADC.	59
Figura 4.11. Circuito comparador em janela utilizado para a detecção de erros e o respetivo memorizador de erros.	61
Figura 4.12. Circuito de <i>disable</i>	62
Figura 4.13. Circuito de bootstrap.	63
Figura 4.14. PCB desenvolvida onde foi inserido o circuito de <i>drive</i>	65
Figura 4.15. Primeira versão da PCB desenvolvida para o conversor CC-CA: (a) <i>top</i> da PCB; (b) <i>bottom</i> da PCB.	66
Figura 4.16. Segunda versão da PCB desenvolvida para o conversor CC-CA: (a) <i>top</i> da PCB; (b) <i>bottom</i> da PCB.	67
Figura 4.17. Segunda versão da PCB desenvolvida com todos os componentes soldados: (a) <i>top</i> da PCB; (b) <i>bottom</i> da PCB.	68
Figura 4.18. (a) Dissipador com os semicondutores de potência; (b) PCB acoplada ao dissipador com os semicondutores.	68
Figura 4.19. Semicondutor de potência.	69

Figura 4.20. Proteção <i>gate-source</i> .	70
Figura 4.21. Condensador utilizado no barramento CC.	71
Figura 4.22. Bobina de acoplamento com a rede elétrica	71
Figura 4.23. Bobina de acoplamento com a rede elétrica de núcleo de pó de ferro	72
Figura 4.24. Condensador de desacoplamento.	72
Figura 5.1. Sincronização da PLL com a tensão da rede elétrica.	75
Figura 5.2. Teste ao conversor em malha aberta: (a) Corrente na carga e tensão no conversor CC-CA; (b) Pormenor dos níveis criados pelo conversor CC-CA; (corrente:1 A/div; tensão:20 V/div).	76
Figura 5.3. Sintetização de uma corrente de 2 A numa carga (Corrente 1 A/div; Tensão: 20 V/div).	77
Figura 5.4. Sintetização de uma corrente de 3 A numa carga (Corrente: 1 A/div; Tensão: 20 V/div).	77
Figura 5.5. Vista dos níveis mais detalhado do teste de sintetizando uma corrente de 3 A numa carga (Corrente: 1 A/div; Tensão: 20 V/div).	78
Figura 5.6. De forma mais pormenorizada os níveis de tensão: (a) Verificação da frequência de comutação; (b) passagem de nível; (Corrente:1 A/div; Tensão: 20 V/div).	78
Figura 5.7. Modo X-Y	79
Figura 5.8. Verificação da temperatura do sistema: (a) Vista do sistema global; (b) Vista dos semicondutores de potência.	79
Figura 5.9. Sintetizar 1 A de corrente na rede elétrica (Corrente: 0.5 A/div; Tensão da rede elétrica: 10 V/div; Tensão do conversor: 20 V/div).	80
Figura 5.10. Visão da temperatura dos semicondutores de potência no teste a sintetizar 1 A na rede elétrica.	80
Figura 5.11. Sintetizar 3 A de corrente na rede elétrica (Corrente: 2 A/div; Tensão da rede elétrica: 10 V/div; Tensão do conversor: 20 V/div).	81
Figura 5.12. Sintetização de uma corrente de 3 A a 50 Hz e 0,5 A a 150 Hz na rede elétrica (Corrente: 2 A/div; Tensão da rede elétrica: 10 V/div; Tensão do conversor: 20 V/div).	81
Figura 5.13. Verificação se a corrente produzida pelo conversor segue a referência (Corrente: 2 A/div; Referência da corrente: 20 V/div; Tensão do conversor: 20 V/div).	82
Figura 5.14. Absorvendo uma corrente de 3,5 A da rede elétrica (Corrente absorvida da rede elétrica: 2 A/div; Referência da corrente: 10 V/div; Tensões nos bancos de condensadores: 20 V/div; Tensão do conversor: 20 V/div).	82
Figura 5.15. Conversor CC-CA operando como FAP(Corrente na carga: 2 A/div; Corrente na rede elétrica: 2 A/div; Tensões nos bancos de condensadores: 10 V/div; Tensão do conversor: 20 V/div).	83
Figura 5.16. Desfasamento entre a corrente e a tensão da rede elétrica (Corrente da rede elétrica: 2 A/div; Tensão da rede elétrica: 20 V/div).	84
Figura 5.17. Compensação do fator de potência (Corrente da rede elétrica: 2 A/div; Tensão da rede elétrica: 20 V/div; Tensões nos bancos de condensadores: 10 V/div; Tensão do conversor: 20 V/div).	84
Figura 5.18. Conversor CC-CA operando como FAP com uma tensão na rede elétrica de 50 V RMS (Corrente na rede elétrica: 5 A/div; Tensões nos bancos de condensadores: 10 V/div; Tensão do conversor: 50 V/div).	85
Figura 5.19. Bancada de teste montada para efetuar testes ao <i>driver</i> .	85
Figura 5.20. Circuito e montagem para testar o driver utilizado:(a) Representação do circuito montado; (b) Apresentação da montagem física realizada para se realizar os testes.	86
Figura 5.21. Sinal de PWM aplicado ao semicondutor de potência quando não existe tensão aplicada em V_{gs} (Tensão na <i>gate</i> do semicondutor de potência: 5 V/div).	86
Figura 5.22. Sinal de PWM aplicado ao semicondutor de potência e tensão <i>drain source</i> (Tensão na <i>gate</i> do semicondutor de potência: 10 V/div; Tensão <i>drain source</i> do semicondutor de potência: 50 V/div).	87

Figura 5.23. Observação do efeito da resistência de <i>gate</i> no sinal de PWM:(a) Com resistência de <i>gate</i> de 2 Ω ; (b) Com resistência de <i>gate</i> de 13 Ω (Tensão de <i>gate</i> aplicada ao semicondutor de potência: 5 V/div).....	88
Figura 5.24. Observação do sinal de PWM aplicado ao semicondutor de potência variando a resistência de <i>gate</i>	88
Figura 5.25. Observação do sinal de PWM aplicado ao semicondutor de potência variando a resistência de <i>gate source</i>	89
Figura 5.26. Sinal de PWM aplicado ao semicondutor de potência e tensão <i>drain source</i> (Tensão na <i>gate</i> do semicondutor de potência: 10 V/div; Tensão <i>drain source</i> do semicondutor de potência: 20 V/div).	89
Figura 5.27. Comparação do sinal de PWM aplicado a dois semicondutores de potência diferentes do utilizado: (a) Utilizando um MOSFET;(b) Utilizando um IGBT (Tensão na <i>gate</i> do semicondutor de potência: 5 V/div; Tensão <i>drain source</i> do semicondutor de potência: 20 V/div).	90
Figura 5.28. Sinal de PWM aplicado ao semicondutor de potência e tensão na fonte de alimentação (Tensão na <i>gate</i> do semicondutor de potência: 5 V/div; Tensão na fonte de alimentação: 20 V/div).	91
Figura 5.29. PCB de driver desenvolvida pelo GEPE.	91
Figura 5.30. Observação do sinal de PWM aplicado ao semicondutor de potência:(a) variando a resistência de <i>gate</i> ; (b) variando a resistência de <i>gate</i> emissor.....	92
Figura 5.31. Sinal de PWM aplicado ao semicondutor de potência e tensão <i>drain source</i> (Tensão na <i>gate</i> do semicondutor de potência: 10 V/div; Tensão <i>drain source</i> do semicondutor de potência: 20 V/div).	93
Figura 5.32. Sinal de PWM na saída do driver e o aplicado ao semicondutor de potência: (a) PWM na saída do driver e no terminal de <i>gate</i> do semicondutor de potência ;(b) Diferença de tensão entre a saída do driver e a terminal de <i>gate</i> do semicondutor de potência(Tensão na saída do driver: 5 V/div; Tensão na <i>gate</i> do semicondutor de potência: 5 V/div; Tensão entre a saída do driver e o terminal de <i>gate</i> do semicondutor de potência: 5 V/div).	93
Figura 5.33. Integração do sistema desenvolvido.	94

Lista de Tabelas

Tabela 2.1.-Estados de operação de um conversor CC-CA em meia ponte.....	30
Tabela 2.2.-Estados de operação de um conversor CC-CA em ponte completa.	31
Tabela 2.3.-Estados de operação de um conversor CC-CA do tipo DCI de três níveis.	32
Tabela 2.4.-Estados de operação de um conversor CC-CA do tipo DCI de cinco níveis.	34
Tabela 2.5.-Estados de operação de um conversor CC-CA do tipo CCI de três níveis.	35
Tabela 2.6.-Estados de operação de um conversor CC-CA do tipo CCI de cinco níveis.	36
Tabela 2.7.-Estados de operação de um conversor CC-CA do tipo CMLI de cinco níveis.....	37

Acrónimos e Siglas

Acrónimo / Sigla	Significado
ADC	<i>Analog-to-Digital</i>
APOD	<i>Alternative Phase Opposition Dispositio</i>
CA	Corrente Alternada
CC	Corrente Contínua
CSI	<i>Current Source Inverter</i>
DAC	<i>Digital-to-Analog</i>
DF	<i>Distortion Factor</i>
DPF	<i>Displacement Power Factor</i>
DFT	<i>Discrete Fourier Transform</i>
DSP	<i>Digital Signal Processor</i>
FAP	Filtro Ativo Paralelo
FAS	Filtro Ativo Série
FBD	<i>Fryze-Buchholz-Depenbrock</i>
FFT	<i>Fast Fourier Transform</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
PCB	<i>Printed Circuit Board</i>
PCC	<i>Point of Common Coupling</i>
PD	<i>Phase Disposition</i>
PLL	<i>Phase Locked Loop</i>
POD	<i>Phase Opposition Disposition</i>
PWM	<i>Pulse Width Modulation</i>
QEE	Qualidade de Energia Elétrica

RMS	<i>Root Mean Square</i>
SiC	<i>Silicon Carbide</i>
SMD	<i>Surface Mounted Device</i>
SPWM	<i>Sinusoidal Pulse Width Modulation</i>
SVC	<i>Static Var Compensators</i>
TCR	<i>Thyristor Controlled Reactor</i>
THD	<i>Total Harmonic Distortion</i>
TPF	<i>Total Power Factor</i>
TSC	<i>Thyristor Switched Capacitor</i>
UPQC	<i>Unified Power Quality Conditioner</i>
VSI	<i>Voltage Source Inverter</i>

Nomenclatura

f_s	Frequência de amostragem	Hz
f_{sw}	Frequência de comutação	Hz
THD	Distorção harmónica total calculada em percentagem da amplitude da fundamental	%
R	Resistência	Ω
L	Indutância	H
V_g	Tensão da rede elétrica	V
V_{bb1}	Tensão dos condensadores (parte superior)	V
V_{bb2}	Tensão dos condensadores (parte inferior)	V
V_{cv}	Tensão produzida pelo conversor CC-CA	V
i_{rede}	Corrente na rede elétrica	A
i_{ij}	Corrente produzida pelo conversor CC-CA	A
i_{ref}	Corrente de referência	A
i_{carga}	Corrente na carga	A
V_{PLL_u}	Tensão da PLL unitária	V
V_{PLL_A}	Tensão da PLL com a amplitude da rede	V
V_{ADC}	Tensão lida pelo ADC do DSP	V
V_{GS}	Tensão <i>gate source</i>	V
V_{GE}	Tensão <i>gate</i> emissor	V
V_{GA}	Tensão de <i>gate</i> na saída do driver	V
V_{GT}	Tensão no terminal de <i>gate</i> do semicondutor de potência	V
V_{DS}	Tensão <i>drain source</i>	V
V_{CE}	Tensão coletor emissor	V
V_{font}	Tensão da fonte de alimentação utilizada no <i>driver</i>	V
$V_{GA}-V_{GT}$	Diferença de tensão entre a <i>gate</i> na saída do <i>driver</i> e o terminal de <i>gate</i> do semicondutor de potência	V
P	Potência ativa	W
Q	Potência reativa	VA _r
S	Potência aparente	VA

Capítulo 1

Introdução

1.1 Qualidade da Energia Elétrica

A energia elétrica tem um papel fundamental em toda a atividade económica, bem como indispensável para o bem-estar da população nos dias de hoje [1]. Devido a isto, nos últimos anos, tem-se verificado um aumento da preocupação com a qualidade do seu fornecimento aos consumidores, devido aos prejuízos que a falta de qualidade da rede elétrica provoca [2].

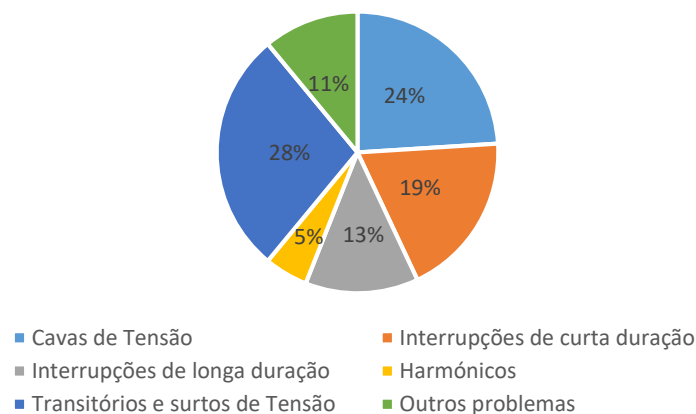


Figura 1.1. Distribuição dos prejuízos associados a cada tipo de problema de QEE [2].

Antigamente o conceito de Qualidade de Energia Elétrica (QEE) prendia-se no fornecimento ininterrupto de energia aos consumidores, ou seja, a principal preocupação consistia em não haver interrupções de energia e fazer com que a tensão e a frequência estejam dentro de limites determinados como aceitáveis. Este conceito vigorava porque na altura as cargas utilizadas no sistema elétrico eram lineares, isto é, consomem correntes com a mesma forma de onda da tensão (corrente sinusoidal) e com a mesma frequência, sendo a única possibilidade de diferença consistia no desfasamento entre as duas formas de onda. Com o desenvolvimento da eletrónica de potência permitiu mudar o paradigma do sistema elétrico, possibilitando assim melhorar o rendimento e reduzir o custo dos equipamentos, bem como possibilitar a execução de funções não possíveis até então. Porém, a adição destes equipamentos no sistema elétrico apresenta desvantagem para a rede elétrica, visto que consistem em cargas não-lineares, pelo que consomem correntes com forma de onda

diferente da tensão (corrente não sinusoidal), poluindo assim a rede. O facto de a forma de onda ser diferente, deve-se ao consumo de harmónicos de corrente por parte destes equipamentos, distorcendo assim a forma de onda.

A presença de harmónicos na rede elétrica é prejudicial ao transporte e à distribuição de energia, uma vez que estes provocam um aumento das perdas nos condutores. Os harmónicos levam à degradação do funcionamento dos equipamentos ligados à rede elétrica e criam interferências em sistemas de comunicação. Nos condensadores a sua vida útil também é reduzida devido aos harmónicos, observado por um aumento da dissipação térmica, que leva à deterioração do dielétrico dos mesmos. Em transformadores, os harmónicos provocam um aumento das perdas, saturação e ressonâncias, traduzindo-se na redução da sua vida útil. Nas máquinas elétricas rotativas pode surgir ruído audível e binários pulsantes, podendo ocorrer o seu sobreaquecimento. Estes podem também fazer disparos indesejáveis dos semicondutores de potência, a erros de medição nos instrumentos de medida, na redução da vida útil de relés, fusíveis, disjuntores e lâmpadas, devido ao mau funcionamento dos mesmos e flutuações da intensidade luminosa [3].

Estes problemas mencionados refletem-se em grandes prejuízos económicos. Com isto, o conceito de QEE teve de evoluir, deixando de estar apenas focado em manter a tensão e a frequência dentro dos limites estabelecidos, mas também ter em conta os níveis de distorção harmónica nas tensões que são fornecidas, assim como os níveis de distorção harmónica nas correntes consumidas por equipamentos ligados na rede elétrica.

Posto isto, o conceito de QEE tem um papel importantíssimo nos dias de hoje, visto que atualmente existe uma grande competitividade no mercado e devido ao facto de os equipamentos eletrónicos atuais serem bastante sensíveis. Aliado ao facto de a incorporação de sistemas de compensação nos equipamentos apresenta um aumento do preço do equipamento, a tendência é que estes equipamentos continuem a poluir a rede elétrica [4].

1.2 Harmónicos de Corrente

O termo harmónico, traduz-se uma componente sinusoidal de um sinal periódico contendo uma frequência múltipla inteira da frequência fundamental. O múltiplo inteiro diz qual é a ordem do harmónico. A existência de vários harmónicos num sinal faz com que este se torne distorcido [5], [6]. Na Figura 1.2 (a) representa uma onda referente a uma corrente distorcida, sendo na Figura 1.2 (b) a decomposição da onda em sinusoides individuais nas suas componentes de frequência.

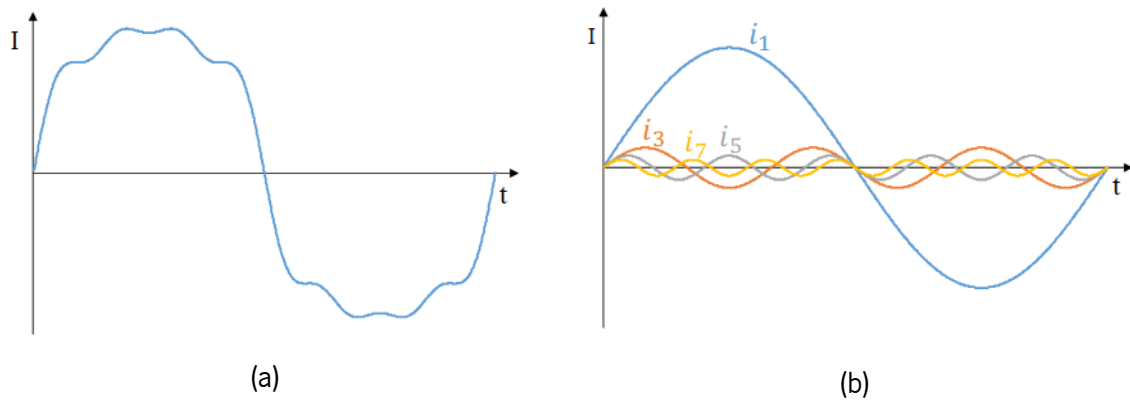


Figura 1.2. Corrente com distorção harmônica: (a) Corrente total; (b) Corrente decomposta em sinusoides individuais nas suas componentes de frequência.

O sinal acima representado é constituído, para além da fundamental, por mais três harmónicos, sendo, o terceiro, o quinto e o sétimo harmónico. Para um sinal que contem n harmónicos, o cálculo do valor eficaz (*Root Mean Square* - RMS) da corrente pode ser feito através da seguinte equação (1.1) recorrendo ao valor eficaz de cada frequência individual [7].

$$I = \sqrt{\sum_{h=1}^n I_h^2} \quad (1.1)$$

Pode-se medir quantitativamente a distorção de uma forma de onda, recorrendo ao valor da distorção harmónica total (*Total Harmonic Distortion* - THD), tendo duas maneiras possíveis de a calcular: em termos absolutos ou relativos. Em termos absolutos (THD total), o THD de corrente corresponde ao valor eficaz da corrente do sinal, sendo excluído a sua componente fundamental, estando representada pela seguinte equação (1.2).

$$THD = \sqrt{\sum_{h=2}^n I_h^2} \quad (1.2)$$

Em termos relativos, o $THD_{\%}$ pode ser calculado de duas formas e este representa um valor percentual. Uma das maneiras é em relação ao sinal total, isto é, o $THD_{\%}$ traduz a relação entre amplitudes dos harmónicos e do sinal total, como ilustrado na equação (1.3), contudo este só toma valores percentuais até 100%.

$$THD_{\%} = \frac{\sqrt{\sum_{h=2}^n I_h^2}}{I} 100\% \quad (1.3)$$

A outra maneira em termos relativos, é em relação à fundamental, isto é, o $THD_{\%f}$ traduz a relação entre as amplitudes dos harmónicos e da fundamental, como ilustrado na equação (1.4), porém este pode exceder o valor percentual de 100%.

$$THD_{\%f} = \frac{\sqrt{\sum_{h=2}^n I_h^2}}{I_1} 100\% \quad (1.4)$$

Sendo o $THD_{\%}$ calculado em relação à componente fundamental ($THD_{\%f}$) o mais utilizado [8]. Utilizando o algoritmo denominado *Fast Fourier Transform* (FFT), é possível efetuar o cálculo das componentes harmónicas que estão presentes num sinal, sendo normalmente representado o espectro harmónico resultante da FFT num gráfico de barras [6]. Assim, pode-se aferir a contribuição individual que cada harmónico apresenta para a distorção do sinal. A Figura 1.3 (a) representa o espectro harmónico da corrente vista na Figura 1.2 (a), em que os valores de pico estão representados em Amperes e mencionando o THD total. Na Figura 1.3 (b) está representado o espectro harmónico da mesma corrente com os valores percentuais de cada componente de frequência em relação à fundamental. O valor eficaz total desta corrente, é de 21,65 A, sendo as amplitudes de cada componente de frequência as seguintes: $I_1 = 30 \text{ A}$, $I_3 = 5 \text{ A}$, $I_5 = 3 \text{ A}$ e $I_7 = 2 \text{ A}$.

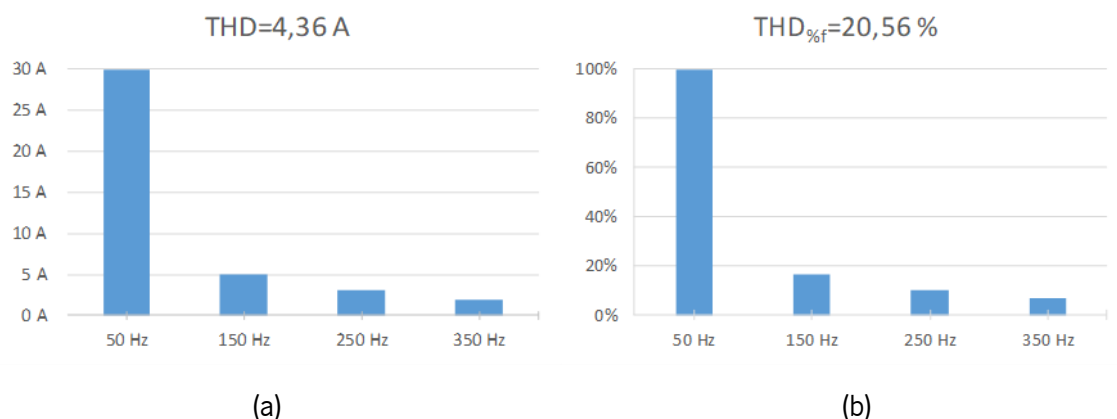


Figura 1.3. Espectro harmónico do sinal referente há Figura 1.2: (a) THD total; (b) THD em relação à fundamental.

Recorrendo as equações (1.2), (1.3) e (1.4) observa-se que o THD apenas depende dos valores eficazes das componentes de frequência que constituem o sinal. No entanto, um harmónico também é caracterizado pela sua fase, visto que a conjugação de diferentes ângulos de fase de harmónicos, resulta em formas de onda diferentes. Na Figura 1.4 mostra a mesma onda da Figura 1.2 mas conjugada com diferentes ângulos de harmónicos, mais respetivamente o 3º e 5º harmónicos. Contudo, o $THD_{\%f}$ é igual em todas as situações apresentadas, mostrando que para o cálculo do THD os ângulos de fase dos harmónicos não interferem. Apesar disto, num sistema onde existam duas ou mais cargas, a fase dos harmónicos deve ser tida em atenção, isto porque, dependendo dos ângulos de fase de um harmónico de uma ordem existente em duas ou mais cargas na mesma rede, pode ou não haver uma maior distorção na corrente [9]. Isto, devido ao facto de que as componentes de igual frequência, somam-se no ponto de interface entre cargas e a rede elétrica (*Point of Common Coupling*- PCC) [10].

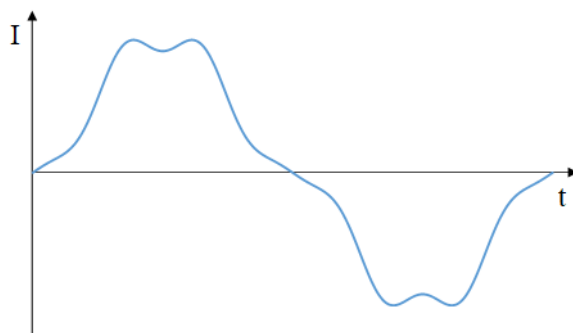


Figura 1.4. Corrente com a mesma distorção harmónica da Figura 1.2, mas conjugada com diferentes ângulos.

1.3 Fator de Potência

A definição de fator de potência, inicialmente foi formulada numa época em que a rede elétrica era apenas utilizada por cargas lineares. Esta grandeza traduzia o desfasamento entre a tensão e a corrente absorvida pelas cargas no sistema elétrico, sendo expressada por $\cos \varphi$, isto é, a potência que efetivamente é utilizada pelas cargas para produzir energia e a potência aparente, como mostra a equação (1.5) [11].

$$\text{Fator de Potência} = \cos \varphi = \frac{P}{S} \quad (1.5)$$

Assim o fator de potência assume valores entre 0 e 1, sendo que o valor nulo indica que toda a potência aparente é potência reativa, estando a tensão e a corrente desfasadas 90° entre si, enquanto que no valor unitário toda a potência aparente é potência ativa, estando a corrente em fase com a tensão. Contudo, esta definição assume que tanto a tensão e a corrente do sistema são sinusoidais.

Atualmente com o aparecimento das cargas não-lineares nos sistemas elétricos, a definição de fator de potência teve de ser revista, dando origem à *Displacement Power Factor* (DPF), traduzindo-se no desfasamento entre a tensão e a corrente na sua componente fundamental, representada pela seguinte equação (1.6) [12].

$$DPF = \cos \varphi_1 = \frac{P_1}{S_1} \quad (1.6)$$

Também foi definida uma componente do fator de potência que diz respeito há distorção harmónica, chamada de *Distortion Factor* (DF). A DF é a razão entre os valores eficazes da fundamental da corrente e da corrente total, como se pode comprovar na seguinte equação (1.7).

$$DF = \frac{I_1}{I} \quad (1.7)$$

À semelhança do fator de potência e do DPF, o DF também assume valores entre 0 e 1, sendo que o valor nulo indica uma corrente que contém apenas harmônicos, enquanto que no valor unitário corresponde a uma corrente puramente sinusoidal.

Desta forma, a definição de fator de potência total (*Total Power Factor* - TPF) corresponde ao quociente entre a potência ativa e a potência aparente, tendo a seguinte equação (1.8).

$$TPF = \frac{P}{S} \quad (1.8)$$

Para a potência ativa se consideramos apenas a fundamental contribui, então pode-se reescrever a equação (1.8) na seguinte equação (1.9).

$$TPF = \frac{P_1}{S} = \frac{VI_1 \cos \varphi_1}{VI} = \frac{I_1 \cos \varphi_1}{I} \quad (1.9)$$

Utilizando às definições de DPF e DF representadas pelas equações (1.6) e (1.7), respetivamente, a equação (1.9) pode ser reescrita na equação (1.10), podendo concluir-se que o TPF depende do DPF e do DF

$$TPF = \frac{I_1}{I} \cos \varphi_1 = DF \ DPF \quad (1.10)$$

Na Figura 1.5 encontra-se representado três possibilidades para o DPF e o DF de um sistema monofásico, mostrando a forma de onda da tensão e corrente para os diferentes casos. Contudo nenhum dos casos representados apresentam um TPF unitário, sendo que para tal acontecer o DPF e o DF teriam de ser unitários. Este caso seria o ideal para a instalação elétrica.

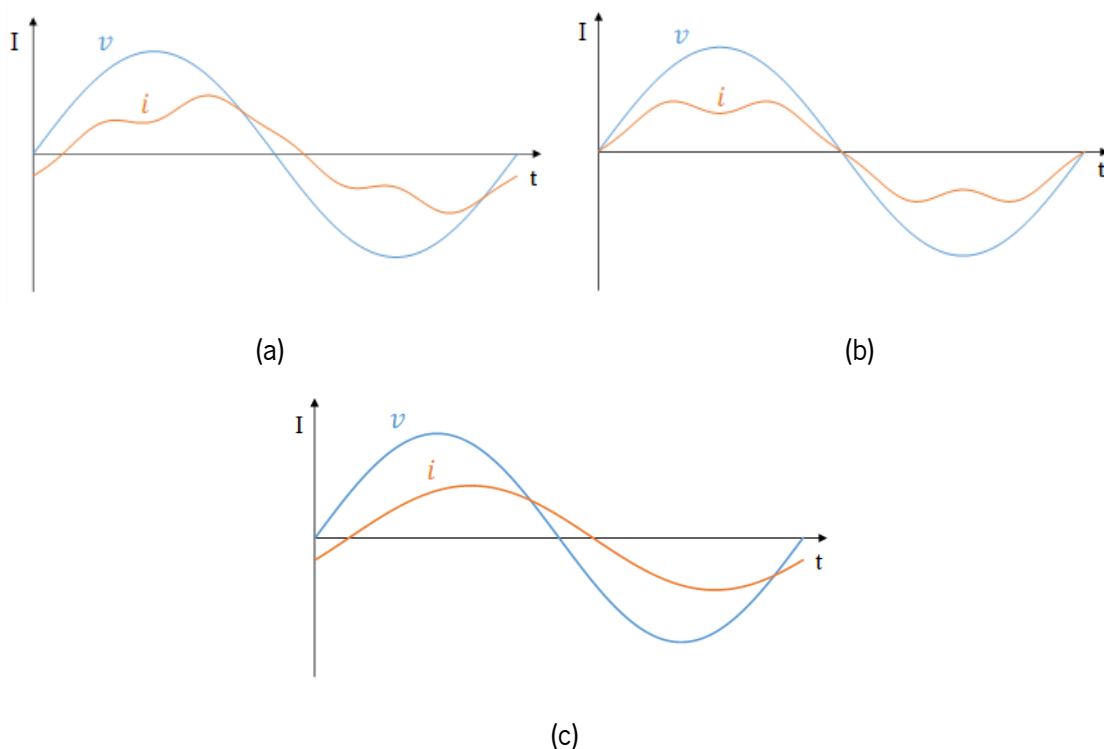


Figura 1.5. Tensão e corrente de uma rede monofásica: (a) DPF<1 e DF<1; (b) DPF=1 e DF<1; (c) DPF<1 e DF=1.

Posto isto, numa instalação elétrica o fator de potência tem de ser tido em conta. Um baixo fator de potência exprime-se por uma corrente mais elevada para produzir a mesma energia que seria produzida por uma instalação elétrica com fator de potência superior. O facto de existir correntes mais elevadas a circular nos cabos condutores, as perdas nos mesmos aumentam, o que por sua vez leva ao sobreaquecimento e com o passar do tempo causa a sua deterioração. Assim sendo, uma instalação elétrica deve possuir um fator de potência o mais alto possível [13],[14].

1.4 Soluções para Problemas de Qualidade de Energia Elétrica

Os problemas de QEE traduzem-se em avolumados prejuízos económicos. Devido a isto, vários estudos são efetuados para tentar apurar os reais custos de uma fraca QEE. Para a realização do cálculo, são considerados vários fatores, sendo eles o tipo de cliente, a hora do dia em que ocorre o problema e o tipo de problema de QEE. No caso do problema de QEE ser a distorção harmónica os custos tem em conta as perdas totais de energia e o custo devido ao prematuro envelhecimento dos equipamentos [15].

Portanto, a investigação e o desenvolvimento de equipamentos que permitam mitigar os problemas de QEE assume um papel de bastante importância a nível mundial. O desenvolvimento da eletrónica de potência possibilitou a criação de soluções mais eficazes, com melhores rendimentos e também permite que estes se possam adaptar ao sistema onde são inseridos, independentemente do que possa existir há sua volta, em relação aos métodos de compensação mais tradicionais [16].

Para a mitigação dos problemas dos harmónicos de corrente, a solução mais tradicional passava pela utilização dos filtros passivos. A questão são as desvantagens que estes apresentam, pois, a sua operação é limitada para uma carga específica. Estes filtros têm de ser previamente sintonizados numa única frequência, de modo a filtrar a frequência pretendida. Outra desvantagem é a probabilidade de ocorrer ressonâncias entre o filtro passivo e outras cargas ligadas à rede, com resultados imprevisíveis [17].

No caso de compensação de potência reativa, a solução mais tradicional passa pela utilização de bancos de condensadores. Este método apresenta algumas vantagens, como a fácil manutenção e implementação, associado a um baixo custo de implementação. Contudo estes também apresentam as suas desvantagens, a compensação limitada, visto que estes são dimensionados para compensar um determinado valor de potência reativa, e também o facto de estes poderem provocar ressonâncias no sistema elétrico. Outra solução para este problema, passa pela utilização de compensadores estáticos de reativos, designados por *Static Var Compensators* (SVCs). Estes dependendo do equipamento, podem compensar potência reativa tanto indutiva como capacitiva. Um equipamento

capaz de compensar potência reativa indutiva é o condensador comutado a tiristores (*Thyristor Switched Capacitor* - TSC), permitindo injetar na rede potência reativa capacitiva. O seu equivalente contrário é o reator controlado a tiristores (*Thyristor Controlled Reactor* - TCR), sendo que este injeta na rede potência reativa indutiva. Os SVCs permitem controlar o fluxo de potência reativa injetada na rede, podendo assim adaptar-se às necessidades de compensação da rede, mas a sua operação pode produzir harmónicos. Apresentam ainda, o facto de estarem limitados à compensação de potência reativa na fundamental e em regime permanente [18],[19],[20].

De modo a poder-se efetuar, simultaneamente, a compensação de harmónicos de corrente e de fator de potência, passa pela utilização de Filtros Ativos de Potência do tipo Paralelo. Aliado ao facto de estes fazerem a compensação simultânea dos problemas acima mencionados, estes efetuam-na de forma dinâmica, permitindo, que o equipamento não tenha de ser projetado para uma carga específica, sendo capaz de reagir as variações das cargas que estão ligadas na rede elétrica. Assim, um Filtro Ativo Paralelo (FAP) é uma solução bastante vantajosa a quando comparada com os tradicionais equipamentos acima referidos [17].

1.5 Motivações

A utilização de cargas não-lineares na rede elétrica tem vindo a aumentar devido às necessidades cada vez maiores da população. Este tipo de cargas leva à degradação da QEE, uma vez que consomem correntes não sinusoidais, algo que prejudica o transporte e a distribuição de energia, para além de originar um mau funcionamento de uma grande parte dos equipamentos ligados à rede. Perante este problema, a rede elétrica é obrigada a evoluir de modo a minimizar estes problemas.

Em ambientes industrializados, a compensação de problemas de QEE assume um papel importante e bastante solicitado pelas empresas. Nestes casos, onde a alimentação é trifásica, um problema na produção traduz-se em graves prejuízos. Contudo, devido ao aumento da utilização de cargas não-lineares em ambiente doméstico, empresas e outros locais cuja alimentação é monofásica, torna-se essencial a utilização de equipamentos para a compensação de problemas de QEE nestas redes.

Posto isto, uma das soluções mais eficientes para reduzir os harmónicos de corrente nas redes monofásicas, reside na integração na rede de Filtros Ativos de Potência Monofásicos em Paralelo. Este equipamento possibilita compensar os harmónicos de corrente, bem como o fator de potência de forma dinâmica, ou seja, é independente do número de cargas que estejam ligadas à rede, permitindo que este possa reagir, de forma rápida, conforme as variações de carga que surgem na rede, devido

ao facto de o sistema de controlo do filtro ativo calcular continuamente as correntes de compensação. Adicionalmente, o equipamento não requer um estudo do local de instalação, pois é de fácil instalação, existindo com ele também um contador e disjuntor que, em caso de alguma anomalia do equipamento, pode ser desligado.

A nível pessoal, o desenvolvimento da dissertação permite aplicar e consolidar conceitos aprendidos ao longo do curso, bem como adquirir novos conhecimentos teóricos e práticos. Para além deste conhecimento, o manuseamento de ferramentas de *software* e *hardware* essenciais para o desenvolvimento da dissertação permite adquirir experiência e desenvolver competências fundamentais para o futuro.

1.6 Objetivos

O trabalho desenvolvido consiste num conversor CC-CA do tipo multinível para operação como FAP, que permite compensar os harmónicos de corrente e o fator de potência. Posteriormente, os objetivos da presente dissertação são os seguintes:

- Desenvolver um FAP monofásico do tipo multinível, limitado ao máximo de 5 níveis distintos de tensão. É necessário efetuar um estudo inicial sobre as técnicas de controlo para conversores CC-CA e técnicas de comutação, permitindo assim explorar esta tecnologia de modo a melhorar ao máximo a forma de onda gerada, apresentando um baixo *ripple*.
- Desenvolver uma solução o mais compacta possível, utilizando tecnologias emergentes da atualidade, relativamente a semicondutores de eletrónica de potência.

Este trabalho propõe o desenvolvimento de uma solução compacta e silenciosa, sendo assim possível a sua instalação e o seu funcionamento nas habitações ou nas empresas. Desta forma, durante a fase de desenvolvimento, foram tomados cuidados, de modo a minimizar o peso, o tamanho, as perdas, o ruído audível e o custo da solução, para que este equipamento possa ser instalado nos locais acima referidos.

Um fator a considerar é o tipo de semicondutores de potência a utilizar. Nos FAP, geralmente são utilizados IGBTs (*Insulated Gate Bipolar Transistor*). Tendo em conta que se procura uma solução mais silenciosa, de maneira a ser utilizada em ambiente doméstico, é preferível a operação com frequências de comutação acima do limite audível, isto é superior a 50kHz. Uma solução consiste na utilização de MOSFETs (*Metal Oxide Semiconductor Field Effect Transistor*), empregando tecnologia emergente dos semicondutores, mais especificamente um dos semicondutores de banda larga mais promissor (*wide-bandgap semiconductor*), designado de *Silicon Carbide* (SiC) [21]. No entanto, os

IGBTs mais recentes já permitirem a operação com frequências de comutação mais elevadas, acima do limite audível.

Outro fator a ter em conta é a bobina de acoplamento, isto é, o material pelo qual é constituído o núcleo. A utilização de materiais, como por exemplo a ferrite, deve-se a estes apresentarem perdas pouco significativas em altas frequências e a uma densidade de fluxo elevada. A densidade de fluxo está relacionada com a área efetiva do núcleo, assim núcleos com uma densidade de fluxo elevada possibilitam tamanhos físicos inferiores [22], que irá permitir uma redução de peso e tamanho da solução.

1.7 Organização e Estrutura da Dissertação

A presente dissertação encontra-se dividida em sete capítulos distintos.

No primeiro capítulo é exposto o problema, introduzindo os problemas de QEE com os quais se vai trabalhar, referindo as motivações para a importância da resolução destes problemas, bem como as contribuições e objetivos definidos para a mitigação dos mesmos.

No segundo capítulo é efetuado um estudo bibliográfico acerca do tipo de conversor utilizado na dissertação, nomeadamente conversores CC-CA. São apresentadas várias topologias de conversores CC-CA monofásicos aplicados a FAPs monofásicos, tendo como particularidade o facto de serem multiníveis. Também são apresentadas técnicas de modulação e de controlo de corrente utilizadas, como também teorias de controlo para FAPs.

O terceiro capítulo é dedicado à exposição dos resultados obtidos em simulação computacional do conversor implementado, recorrendo à ferramenta PSIM, em que as condições de simulação tendem a ser uma aproximação das condições reais.

No quarto capítulo é descrito, de forma pormenorizada, o desenvolvimento do sistema de controlo do conversor, sendo também descrita a placa de circuito impressa desenvolvida. É também apresentado o processo de desenvolvimento da placa de potência do sistema, constituído pelo FAP.

O quinto capítulo expõe os resultados experimentais obtidos, de modo a avaliar o funcionamento do sistema por partes e depois como um todo.

Por fim, são apresentadas as conclusões do trabalho efetuado na dissertação, bem como a descrição de sugestões de trabalho futuro, visando a melhoria no desenvolvimento do equipamento.

Capítulo 2

Filtro Ativo Paralelo Monofásico: Princípio de Operação, Controlo e Topologias

2.1 Introdução

Neste capítulo são introduzidos os Filtros Ativos de Potência, apresentando as topologias do Filtro Ativo Paralelo (FAP) e do Filtro Ativo Série (FAS). É efetuada uma pequena referência aos Filtros Ativos de Potência trifásicos, indicando o seu funcionamento e as topologias que este apresenta, contudo nesta dissertação o foco será nos Filtros Ativos de Potência monofásicos do tipo paralelo, onde são abordados com maior profundidade. De seguida, classifica-se quanto ao tipo de conversor de potência utilizado, abordando as topologias de conversores CC-CA adequáveis a FAPs monofásicos. Ainda neste capítulo, são descritas técnicas de modulação e de controlo aplicadas a estes conversores, enumerando ainda teorias de controlo de FAPs.

2.2 Filtros Ativos de Potência

Para compensar problemas de QEE de forma dinâmica é então utilizado um Filtro Ativo de Potência, isto é, a compensação está sempre a ser efetuada independentemente das cargas ligadas à rede elétrica ou alterações que estas possam ter. Os problemas de QEE compensados pelos Filtros Ativos variam consoante a topologia. No caso do equipamento se tratar de um FAP, este é ligado em paralelo com a rede elétrica e é responsável por compensar harmónicos de corrente, bem como o fator de potência. O seu funcionamento passa pela aquisição da tensão e correntes da rede elétrica, recorrendo depois ao controlo para efetuar o cálculo da corrente de compensação a ser injetada na rede, tornando a corrente sinusoidal e em fase com a tensão. Caso se trate de um FAP trifásico, este também tem como função equilibrar as correntes das fases [23]. Além disto, o FAP é capaz de realizar a interface de fontes de energias renováveis com a rede elétrica, executando simultaneamente a compensação dos problemas de QEE e injetando energia na rede elétrica [24]. Com isto, observa-se que o FAP se comporta como uma fonte de corrente. Na Figura 2.1 observa-se como é a conexão de um FAP à rede elétrica.

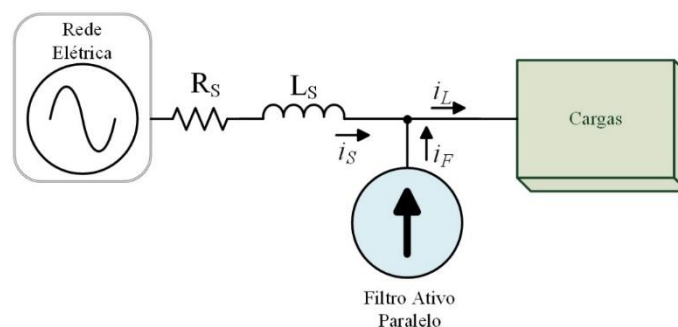


Figura 2.1. Representação da conexão de um FAP ligado à rede elétrica.

Já no caso do equipamento se tratar de um FAS, este é encarregado por compensar problemas na tensão, podendo ser harmónicos, desequilíbrios, subtensões momentâneas (*sags*), sobretensões momentâneas (*swells*) e flutuações (*flicker*), encontrando-se ligado em série com a rede elétrica. Neste caso, o seu funcionamento passa pela aquisição da tensão da rede, que de seguida, com a ajuda do controlo, efetua o cálculo da tensão de compensação, de forma a transformar a tensão de alimentação das cargas sinusoidal. Agora se o FAS for trifásico, este também tem como função equilibrar as tensões das fases. Ao contrário do FAP, um FAS funciona como uma fonte de tensão [25]. Na Figura 2.2 observa-se como é a conexão de um FAS à rede elétrica.

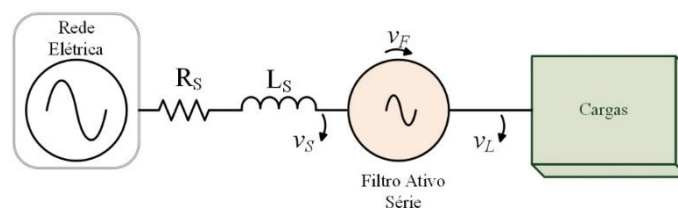


Figura 2.2. Representação da conexão de um FAS ligado à rede elétrica.

Existe também uma solução que conjuga os dois (o FAP com o FAS), isto é, um equipamento capaz de compensar os problemas na corrente e na tensão. A este dá-se o nome de Condicionador Unificado de Qualidade de Energia (*Unified Power Quality Conditioner* - UPQC), sendo possível também denominar o FAP como Condicionador Ativo Paralelo e o FAS como Condicionador Ativo Série. Na Figura 2.3 observa-se como é a conexão de um UPQC à rede elétrica.

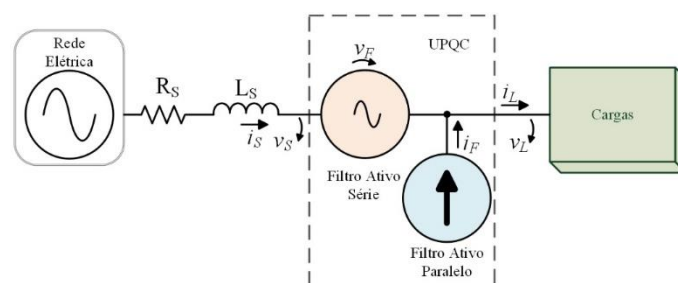


Figura 2.3. Representação da conexão de um UPQC ligado à rede elétrica.

Posto isto, para produzir as correntes e tensões de compensação, recorre-se a um conversor CC-CA, normalmente chamado de inversor. Existem várias configurações possíveis de conversores CC-

CA, sendo elas classificadas quanto à sua alimentação do barramento CC, topologia e número de níveis de tensão que conseguem produzir. Para além destas, também se pode classificar quanto ao número de fases, sendo monofásico ou trifásico, no caso de se tratar de um trifásico este pode ser de três ou quatro fios. No que diz respeito ao Filtro Ativo de Potência trifásico a quatro fios, este pode ser composto por três ou quatro braços [24].

Filtros Ativos de Potência Monofásicos

Nas últimas décadas a compensação de problemas de QEE era maioritariamente procurada para sistemas trifásicos, estes normalmente associados a ambientes industriais, devido à importância que a rede elétrica assume neste contexto. Para tal os FAPs são os mais utilizados, visto que, apresentam características mais vantajosas em relação aos outros equipamentos para compensação de problemas de QEE [26].

Mas atualmente, a crescente utilização de cargas não-lineares em sistemas monofásicos, faz com que haja a necessidade de se proceder à compensação dos problemas de QEE nestes sistemas. Desta forma, o FAP monofásico constitui uma solução viável para efetuar a compensação. O FAP monofásico também pode ser utilizado em sistemas trifásicos, sendo este instalado junto da carga monofásica específica, compensando os problemas que esta possa causar [27].

A constituição do FAP monofásico pode ser dividida em duas partes: o andar de potência, correspondente ao conversor CC-CA, e um andar de controlo, onde são adquiridos os sinais necessários e a realização das operações de controlo para obter os sinais de comando a serem aplicados ao conversor de potência. Para desenvolver o sistema de controlo, este é normalmente implementado em microcontroladores adequados para o processamento de sinais digitais, designados de *Digital Signal Processor* (DSP). Na Figura 2.4 está representado esquematicamente o funcionamento de um FAP.

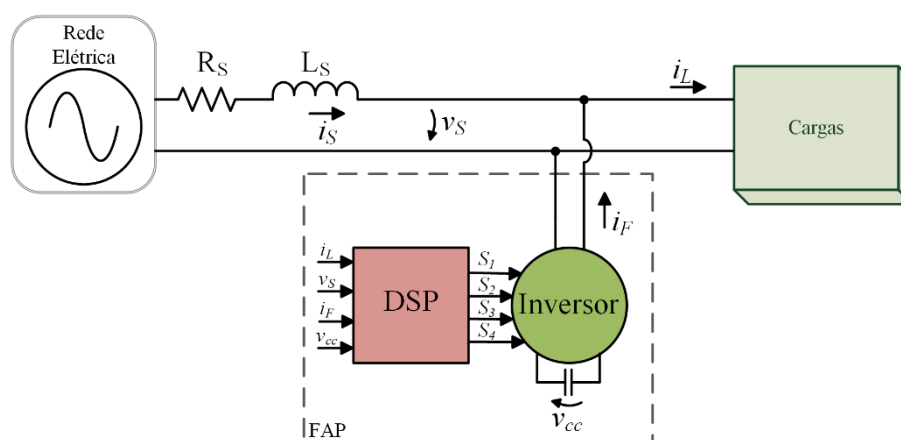


Figura 2.4. Representação do funcionamento de um FAP ligado à rede elétrica.

O FAP monofásico, como ilustrado na Figura 2.4, é responsável pela aquisição da tensão da rede (v_s) e da corrente consumida pela carga ou um conjunto de cargas (i_L), sendo também adquirida a tensão do barramento CC (V_{CC}). Esta por sua vez, tem de ser o mais constante possível e o seu valor tem de ser o suficiente para que o FAP possa produzir a corrente desejada. Após a aquisição destas três variáveis, o algoritmo de controlo efetua os cálculos, obtendo assim a corrente de compensação pretendida a injetar na rede (i_F). Para se conseguir obter a corrente de compensação, é aplicado a lei dos nós. Depois de calculado a corrente de compensação, o controlador aplica os sinais de comando resultantes aos semicondutores do conversor CC-CA (S_1, S_2, S_3 e S_4) de modo a gerar a corrente pretendida. Contudo, é necessário também efetuar um controlo de corrente de maneira a que a corrente injetada na rede pelo FAP seja idêntica à corrente calculada no controlador, sendo adquirida também a corrente produzida pelo FAP (i_F) [28].

2.3 Técnica de Modulação de Largura de Pulso Sinusoidal

A técnica *Sinusoidal Pulse Width Modulation* (SPWM) é um tipo de modulação de largura de pulso (*Pulse Width Modulation* - PWM) é frequentemente utilizada em conversores CC-CA, visto se tratar de um técnica simples e o facto de proporcionar um bom desempenho ao conversor [29]. Esta técnica consiste em gerar uma onda sinusoidal à saída do conversor, para tal, esta técnica recorre à comparação de dois sinais, designados de onda portadora e onda de referência. A onda de referência, representa a onda que se pretende sintetizar, no caso trata-se de uma senoide com a frequência pretendida, visto que se trata da técnica de SPWM. No caso da onda portadora, esta consiste numa onda triangular de uma determinada frequência, tendo geralmente frequências mais elevadas em comparação há onda de referência. A frequência da onda portadora, determina a frequência de comutação dos semicondutores de potência. A comparação das duas ondas, traduz-se numa onda, que aplicada aos semicondutores de potência, produz na saída do conversor a onda sinusoidal desejada. Isto deve-se que através da variação da largura dos pulsos das comutações dos semicondutores, pode-se controlar o valor médio do sinal pretendido em cada instante. Na Figura 2.5 é ilustrado o funcionamento da modulação SPWM, onde é representado a portadora, a referência e a saída da comparação. Observando a figura, conclui-se que o sinal resultante da comparação só apresenta dois valores possíveis. Estes dois valores correspondem a dois estados possíveis de operação dos semicondutores, sendo que o valor alto corresponde ao estado ligado (o semicondutor comporta-se como um interruptor fechado) e o valor baixo ao estado desligado (o semicondutor comporta-se como um interruptor aberto). Para que o sinal de saída da comparação se encontre no valor mais alto, a referência tem de ser maior que a onda portadora, de forma inversa esta toma o

valor mais baixo. Assim, o princípio básico da modulação de largura de pulso, consiste em sintetizar um sinal com base na variação do *duty-cycle* ao longo do tempo, mas mantendo a sua frequência constante. De seguida serão abordadas variantes da modulação SPWM existentes.

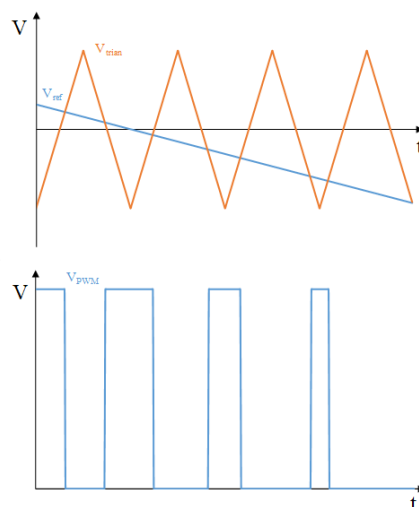


Figura 2.5. Funcionamento da modulação SPWM.

2.3.1 SPWM Bipolar

Esta técnica de modulação SPWM consiste numa onda portadora e no sinal de referência, onde a onda de saída resulta da comparação entre estas duas ondas. Como apenas existe uma comparação, o resultado somente pode tomar dois valores diferentes, ou seja, dois níveis de tensão. A onda resultante da comparação e o seu respetivo negado, retratam os sinais de comando a ser aplicados aos semicondutores de potência. Esta técnica de modulação apenas pode ser então aplicada a conversores CC-CA em meia ponte ou em ponte completa. Na Figura 2.6 temos o exemplo da modulação bipolar.

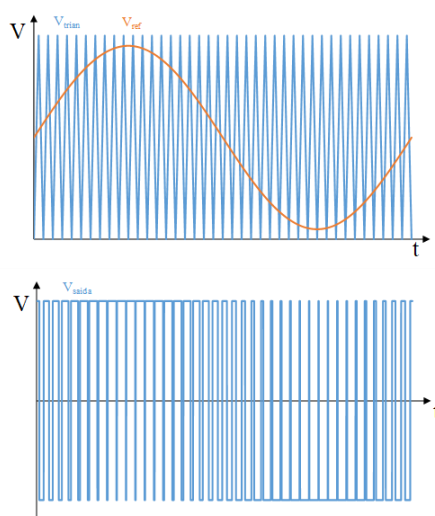


Figura 2.6. Funcionamento da modulação SPWM bipolar e tensão de saída resultante.

2.3.2 SPWM Unipolar

No caso desta técnica de modulação, esta apresenta dois sinais de referência e apenas uma onda portadora triangular. O sinal de referência é o mesmo sinal sinusoidal utilizado na modulação SPWM bipolar, sendo o segundo sinal de referência o seu simétrico, ou seja, uma senoide de igual frequência, mas amplitude desfasada de 180° . Assim ao contrário da modulação SPWM bipolar, nesta técnica são realizadas duas comparações, resultando em dois sinais. Se aplicar o complementar dos sinais obtém-se assim quatro sinais de comando. Esta modulação não se pode aplicar a conversores CC-CA em meia ponte, uma vez que o número de semicondutores de potência é inferior ao número de sinais de comando gerados. Ao aplicar esta modulação SPWM, permite que conversores CC-CA de ponte completa obtenham três níveis de tensão diferentes. Na Figura 2.7 temos o exemplo da modulação unipolar. Por questões de simplicidade apenas foi representado um sinal de referência.

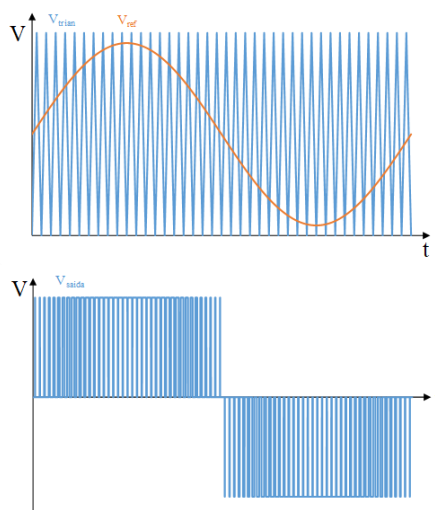


Figura 2.7. Funcionamento da modulação SPWM unipolar e tensão de saída resultante.

2.3.3 SPWM para Conversores CC-CA Multinível

A técnica SPWM também pode ser aplicada aos conversores CC-CA multinível. Esta modulação SPWM parte como base nas técnicas anteriores apresentadas, mas devido ao facto de estes gerarem mais de três níveis de tensão na sua saída, então a técnica SPWM possui outras variantes. Para a obtenção de mais três níveis, normalmente é utilizado um número mais elevado de portadoras. Para tal, existem várias configurações possíveis de distribuição das portadoras, em que as principais consistem na distribuição na vertical ou na horizontal [30].

2.3.3.1 Distribuição Vertical de Portadoras

Na distribuição vertical das portadoras, o número de portadoras necessárias é dado por $n-1$, em que n é os níveis do conversor CC-CA. Estas apresentam a mesma frequência e amplitude, mas cada portadora apresenta um valor médio diferente, distribuindo assim as portadoras na vertical. Existem três disposições da distribuição da portadora sendo elas:

- *Alternative Phase Opposition Dispositio* (APOD), nesta disposição cada portadora está desfasada 180° consecutivamente;
- *Phase Opposition Disposition* (POD), nesta disposição as portadoras referentes ao semiciclo positivo da referência encontram-se desfasadas 180° das portadoras referentes ao semiciclo negativo da referência;
- *Phase Disposition* (PD), nesta disposição todas as portadoras estão em fase.

Na Figura 2.8 observa-se as três maneiras de desfasamento vertical das portadoras.

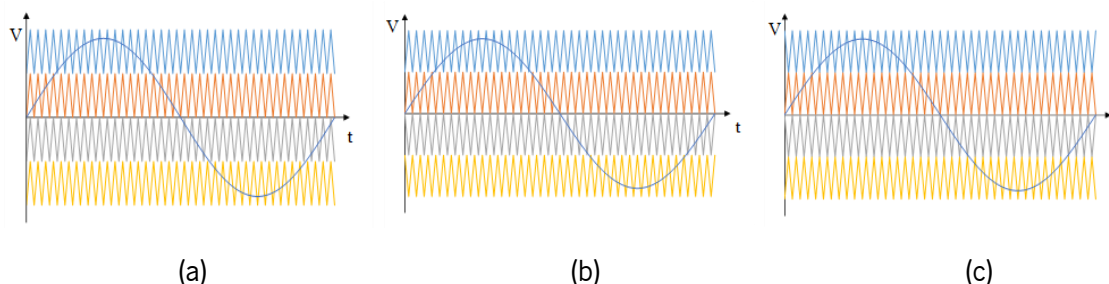


Figura 2.8. Distribuição vertical de portadoras: (a) *Phase Disposition*, (b) *Phase Opposition Disposition*, (c) *Alternative Phase Opposition Disposition*.

2.3.3.2 Distribuição Horizontal de Portadoras

A distribuição horizontal das portadoras, sendo também designado *Phase shifted*, há semelhança da distribuição vertical de portadoras, em que o número de portadoras é dado por $n-1$, em que n corresponde ao número de níveis do conversor. Estas também possuem igual frequência e amplitude como na distribuição vertical de portadoras, mas neste caso estas encontram-se desfasadas entre si, sendo o desfasamento dado por $360/(n-1)$ graus [31],[32]. Na Figura 2.9 pode-se observar a distribuição das portadoras.

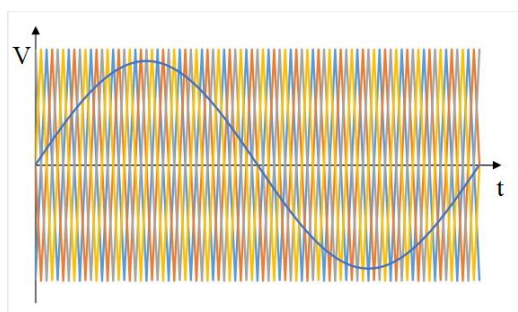


Figura 2.9. Distribuição horizontal de portadoras.

2.4 Técnicas de Controlo de Corrente

Num conversor CC-CA do tipo VSI é fundamental a existência de uma técnica de controlo de corrente, visto que este precisa de produzir a tensão necessária, de modo a obter-se na saída a corrente desejada. Para tal, existem inúmeras técnicas de controlo de corrente, uma vez que existe um estudo intensivo destas técnicas, devido à influência que apresenta na performance do conversor.

As técnicas de controlo de corrente têm a responsabilidade de aproximar ao máximo a corrente de saída, à corrente de referência calculada. Quanto mais estas forem iguais, melhor é a forma de onda da corrente de saída, logo o conteúdo harmónico é menor[33],[34].

2.4.1 Comparador com Histerese

Um controlo de corrente baseado em comparador com histerese, consiste na comparação constantemente da corrente de saída do conversor com a corrente de referência, em que é definida uma margem de histerese para a comparação. Assim a corrente de saída segue a corrente de referência dentro da margem de histerese. O resultado da comparação com o seu respetivo negado são os sinais de comando a ser aplicados aos semicondutores de potência do conversor. A Figura 2.10 ilustra o diagrama de blocos do controlo por histerese, mostrando assim o seu funcionamento.

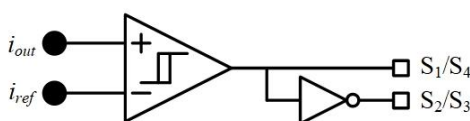


Figura 2.10. Diagrama de blocos do funcionamento do controlo por histerese.

É uma técnica simples de implementar e apresenta uma resposta rápida, contudo tem algumas desvantagens, sendo elas: não possui uma frequência de comutação fixa e não têm limite máximo de frequência de comutação. Estas duas desvantagens leva ao aparecimento de harmónicos de várias frequências e o facto de poder originar comutações demasiado rápidas para os semicondutores utilizados [33].

A margem de histerese influencia na performance desta técnica, ou seja, quanto menor for esta margem, melhor será o resultado da forma de onda de saída, como se pode observar na Figura 2.11, de referir que para a implementação do controlo recorreu-se a um comparador digital. Contudo uma margem de histerese menor, leva a um aumento da frequência de comutação que por consequência a um aumento das perdas por comutação.

A quando aplicado este controlo a um inversor multinível, o comportamento é semelhante ao da Figura 2.11, com a diferença que quando a corrente de saída atinge um dos limites da margem de histerese, este passa para o próximo nível, a baixo ou a cima, conforme o limite atingido [35].

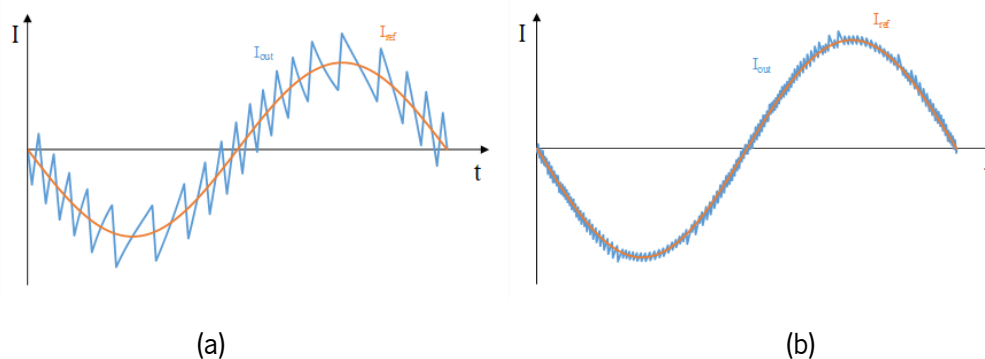


Figura 2.11. Corrente de saída com controlo por comparador com histerese: duas margens de histerese diferentes, sendo que a margem em (b) é 10 vezes menor do que em (a).

2.4.2 Periodic Sampling

Esta técnica de controlo é idêntica à técnica de comparação com histerese, mas nesta técnica, não existe uma margem de histerese. Ou seja, é realizado a comparação entre a corrente de referência e a corrente de saída do conversor, possibilitando assim limitar a frequência de comutação aplicada nos semicondutores. É uma técnica simples de implementar em DSP, efetuando a comparação a uma frequência constante, a frequência de comutação máxima fica limitada a metade da frequência de amostragem. Apesar disto, como na técnica de comparação com histerese não é possível controlar a frequência de comutação ao longo do tempo. Na Figura 2.12 apresenta-se o diagrama de blocos do controlo por *periodic sampling* [34].

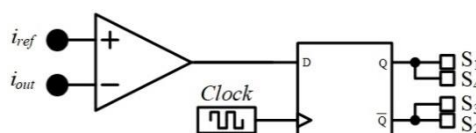


Figura 2.12. Diagrama de blocos do controlo por *periodic sampling*.

Na Figura 2.13 observa-se um exemplo da implementação desta técnica. Nesta técnica, a performance depende da frequência de amostragem, ou seja, quanto maior a frequência de amostragem melhor é a forma de onda de saída. A desvantagem deste controlo é o facto de a frequência de comutação ser variável, o que leva ao aparecimento de harmónicos.

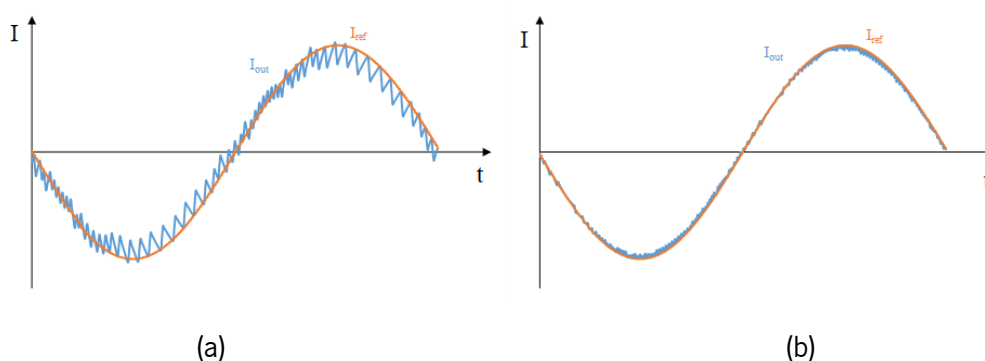


Figura 2.13. Corrente de saída com controlo por *periodic sampling* com diferentes frequências de amostragem: (a) 10 kHz; (b) 40 kHz.

2.4.3 Controle de Corrente PI

Nesta técnica de controlo, compara-se a corrente de saída do conversor com a corrente de referência. O resultado desta comparação é chamado de erro, sendo esta variável que entra para o controlo Proporcional Integral (PI). Este controlo fornece então um sinal SPWM, que comparando o mesmo com uma onda portadora, resulta num sinal de comando a ser aplicado aos semicondutores de potência [36]. Na Figura 2.14 tem-se o diagrama de blocos deste controlo.

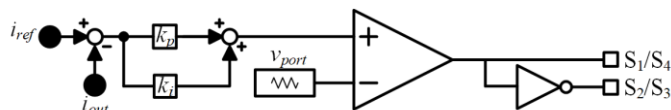


Figura 2.14. Diagrama de blocos do controlo por PI.

Esta técnica, ao contrário das técnicas já apresentadas, trata-se de uma técnica linear, uma vez que a compensação do erro e a modulação da tensão serem separadas. Sendo assim possível estabelecer uma frequência de comutação fixa, frequência esta dada pela frequência da onda portadora. Contudo trata-se de uma técnica complexa, uma vez que o ajuste dos ganhos k_p e k_i não é fácil.

O facto de a frequência de comutação ser fixa, torna o dimensionamento dos filtros passivos mais fácil, bem como a proteção dos semicondutores contra frequências de comutação próximas ao seu limite de funcionamento.

Porém, esta técnica apresenta desvantagens, sendo a principal o facto de existir um atraso entre a corrente de saída e a corrente de referência, afetando a performance do controlador a mudanças rápidas no sinal de referência. Outra grande desvantagem, prende-se pelo facto de ser necessário o reajuste dos ganhos quando a corrente a sintetizar muda ou quando as cargas se alteram [37]. Na Figura 2.15 observa-se um exemplo deste controlo.

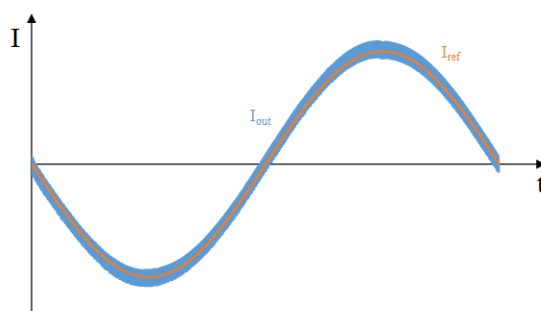


Figura 2.15. Corrente de saída com controlo por PI com uma frequência de comutação de 40 kHz.

2.4.4 Controlo de Corrente Preditivo

Este controlo de corrente baseia-se no modelo elétrico do sistema, calculando assim a tensão a aplicar ao conversor de modo a obter a corrente pretendida na saída. Para calcular então a tensão

a aplicar ao conversor utiliza-se a referência, a tensão no ponto PCC e a corrente de saída do conversor, sendo esta última a variável de realimentação.

O conversor CC-CA fonte de tensão é conectado à rede elétrica por intermédio de uma bobina, designado de bobina de acoplamento. Desta forma, a tensão da rede (v_g) terá de ser igual à queda de tensão na bobina (v_L) somada à tensão de saída do conversor (v_{cv}), resultando na equação (2.1)

$$v_g = v_L + v_{cv} \quad (2.1)$$

Desprezando a resistência (R_L) da bobina de acoplamento, obtém-se a equação (2.2), onde i_{cv} é a corrente de saída do conversor.

$$v_g = L \frac{di_{cv}}{dt} + v_{cv} \quad (2.2)$$

Aplicando o método de Euler, ilustrado na equação (2.3), a componente da derivada pode ser aproximada, considerando um Δt muito baixo, ou seja, uma frequência de amostragem superior à frequência do sinal sintetizado, obtendo assim uma boa previsão do comportamento do sistema

$$\frac{di_{cv}(t)}{dt} = \frac{i_{cv}(t + \Delta t) - i_{cv}(t)}{\Delta t} \quad (2.3)$$

Aplicando a equação (2.3) na equação (2.2) e assumindo uma frequência de amostragem $f_a = 1/T_s$, resulta na equação (2.4) em tempo discreto.

$$v_{cv}[k] = v_g[k] - L \frac{i_{cv}[k + 1] - i_{cv}[k]}{T_s} \quad (2.4)$$

Como esta técnica consiste em um controlo de malha fechada, a corrente de referência no tempo $[k+1]$ é igual à corrente produzida pelo conversor no tempo $[k]$, podendo assim reescrever a equação (2.4) na seguinte equação (2.5).

$$v_{cv}[k] = v_g[k] - L \frac{i_{ref}[k] - i_{cv}[k]}{T_s} \quad (2.5)$$

Com a equação (2.5) obtemos a tensão de referência para a modulação SPWM.

Esta técnica constitui um controlo linear, e o facto de ser utilizado uma modulação SPWM, permitindo que a frequência de comutação seja fixa, apresentando ainda uma resposta rápida a variações que possam ocorrer na referência. Contudo esta técnica possui algumas desvantagens, sendo elas: o facto de ser um controlo sensível a erros nos parâmetros determinados do sistema ou a possíveis alterações destes. Na Figura 2.16 é ilustrado um exemplo desta técnica com modulação SPWM [38]–[41].

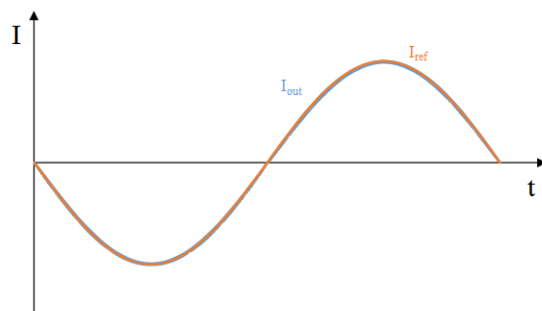


Figura 2.16. Corrente de saída com controle por preditivo com modulação SPWM unipolar com uma frequência de comutação de 100 kHz.

2.5 Técnicas de Controle para Filtros Ativos Paralelos

Como já referido anteriormente, um FAP comporta-se como uma fonte de corrente, tendo como função fornecer às cargas os harmónicos e a potência reativa que estas necessitam.

De forma a injetar na rede a corrente de compensação, o sistema de controlo de um FAP passa por três fases, sendo elas: a aquisição das tensões e correntes necessárias do sistema, aplicação da teoria de controlo para o cálculo da corrente de compensação e o controlo do conversor e a sua modulação para então produzir a corrente de compensação. Então para a implementação do controlo do FAP é necessário a aquisição das variáveis como a tensão da rede e a corrente consumida pelas cargas, adquirindo então os valores instantâneos de cada grandeza torna-se possível efetuar o cálculo da componente fundamental da corrente consumida pelas cargas e a corrente de compensação corresponde então à componente não fundamental e desfasada da tensão.

Para a realização destes cálculos, recorre-se a uma teoria de controlo. Permitindo assim ao aplicar a um FAP, o cálculo da corrente de compensação a ser injetada na rede, sendo então uma parte fundamental no algoritmo de controlo do um FAP. Estas teorias podem ser baseadas no domínio das frequências ou no domínio do tempo.

Várias teorias de controlo têm sido propostas, uma vez que esta constitui um fator decisivo na performance do FAP, sendo de seguida abordado algumas teorias [40],[42].

2.5.1 Teoria de Controlo $p-q$

A teoria de controlo $p-q$ foi proposta por Akagi em 1983, tratando-se de uma teoria no domínio do tempo, designada também de teoria da potência instantânea[43]. Esta teoria inicialmente foi desenvolvida para sistemas trifásicos a três fios, que mais tarde foi adaptada para um sistema trifásico de 4 fios [44],[45]. Contudo, esta teoria acabou por ser alargada aos sistemas monofásicos [46], [47].

A aplicação da teoria $p-q$ passa por uma mudança no sistema de coordenadas, migrando as coordenadas $a-b-c$ para um sistema de coordenadas $\alpha-\beta-0$. Para efetuar esta migração utiliza-se a transformada de Clarke, aplicando esta transformada as tensões e correntes das fases. Contudo, num sistema monofásico só existe uma fase, tornando-se necessário emular as outras duas fases, logo se consideramos que apenas existe a fase a , as fases b e c podem ser obtidas atrasando o sinal de a a 120° e 240° respetivamente. Todavia, para uma abordagem com menos custos computacionais passa apenas por emular um sistema bifásico e não um trifásico, criando assim apenas uma segunda fase a partir da fase a . Então a fase a corresponde há componente α e a componente β é igual a α mas atrasando o sinal 90° . O valor instantâneo da tensão da rede é dado por $v_s(\omega t)$ e o valor instantâneo da corrente consumida pela carga é dado por $i_L(\omega t + \Phi)$. O ω representa a frequência angular da rede e o Φ representa o desfasamento entre a fundamental da corrente e da tensão. Assim pode-se obter as grandezas nas coordenadas $\alpha-\beta$ através da transformação representada na equação (2.6) em relação à tensão e no caso de ser em relação há corrente e na equação (2.7)

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \begin{bmatrix} v_s(\omega t) \\ v_s\left(\omega t - \frac{\pi}{2}\right) \end{bmatrix} \quad (2.6)$$

$$\begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} = \begin{bmatrix} i_L(\omega t + \Phi) \\ i_L\left(\omega t + \Phi - \frac{\pi}{2}\right) \end{bmatrix} \quad (2.7)$$

Tendo obtido as grandezas instantâneas de tensão e de corrente no sistema de coordenadas $\alpha-\beta$, torna-se possível calcular as componentes instantâneas da potência, ou seja, a potência real instantânea (p) e a potência imaginária instantânea (q). A realização deste cálculo encontra-se expresso na seguinte equação (2.8).

$$\begin{bmatrix} p \\ q \end{bmatrix} = \begin{bmatrix} v_\alpha & v_\beta \\ -v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} \quad (2.8)$$

A potência real instantânea e a potência imaginária instantânea podem ser decompostas em duas componentes cada uma, na componente média (\bar{p} e \bar{q}) e na componente alternada (\tilde{p} e \tilde{q}). Resultando na equação (2.9) para a potência real instantânea e no caso da potência imaginária instantânea na equação (2.10).

$$p = \bar{p} + \tilde{p} \quad (2.9)$$

$$q = \bar{q} + \tilde{q} \quad (2.10)$$

Como apenas a componente média da potência real instantânea (\bar{p}) é significativa para o consumo de energia da carga, e sendo o algoritmo de controlo do FAP a ter a responsabilidade de anular a potência imaginária instantânea (q) e a componente alternada da potência real instantânea (\tilde{p}), obtemos as correntes de compensação nas coordenadas $\alpha-\beta$, dadas pela seguinte equação (2.11).

$$\begin{bmatrix} i_{c\alpha}^* \\ i_{c\beta}^* \end{bmatrix} = \begin{bmatrix} v_\alpha & v_\beta \\ -v_\beta & v_\alpha \end{bmatrix}^{-1} \begin{bmatrix} -\tilde{p} \\ -q \end{bmatrix} \quad (2.11)$$

Como a fase do sistema é considerada a fase a , então a corrente de compensação do FAP corresponde à corrente $i_{c\alpha}^*$, podendo ser calculada segundo da seguinte equação (2.12).

$$i_{c\alpha}^* = \frac{1}{v_\alpha^2 + v_\beta^2} (-v_\alpha \tilde{p} - v_\beta \tilde{q}) \quad (2.12)$$

A desvantagem desta teoria deve-se ao facto da sua performance depender da distorção da tensão da rede. Mas, se as tensões v_α e v_β corresponderem à componente fundamental, esta desvantagem é atenuada [48].

2.5.2 Teoria de Controlo por Transformada de Fourier

A utilização desta teoria de controlo para o cálculo da corrente de compensação estabelece uma teoria de controlo no domínio da frequência. Esta teoria pode ser aplicada de algumas formas diferentes. Uma delas consiste na utilização da detecção da frequência fundamental da corrente, anulando as restantes frequências, ou pode-se efetuar uma análise mais detalhada do espetro harmónico, determinado quais as frequências harmónicas a compensar. Esta teoria é bastante vantajosa, visto que permite a obtenção de bons resultados (compensação) em condições de ressonância no sistema elétrico.

Para decompor um sinal distorcido nas suas componentes de frequência, recorre-se à transformada discreta de Fourier (*Discrete Fourier Transform* - DFT). Contudo, efetuar o cálculo da DFT é complexo, uma vez que este é composto por inúmeras operações. A alternativa passa pela utilização de outra transformada, sendo então usada a transformada rápida de Fourier (*Fast Fourier Transform* - FFT).

Considerando que a corrente consumida por uma carga não-linear apresenta várias componentes de frequência, cuja amplitude e fase são desconhecidos, então pode-se representar a corrente através da equação (2.13). O n representa a ordem do harmónico, o A_n a amplitude dele e θ_n a fase do mesmo.

$$i(t) = \sum_{n=0}^H A_n \sin(n\omega t + \theta_n) \quad (2.13)$$

Tendo o sinal $i(t)$ discretizando, tem de se transpor o mesmo do domínio do tempo para o domínio da frequência, utilizando para tal a DFT. A equação (2.14) resulta dessa transformação, onde o $i[k]$ representa o sinal no domínio da frequência, onde k é a variável de frequência discreta. No caso de $i[n]$ representa o sinal no domínio do tempo, onde n é a variável de tempo discreto. Por fim, N trata-

se do número de amostras utilizado, contudo no caso de se aplicar a FFT, este teria de ser uma potência de base 2.

$$I[k] = \sum_{n=0}^{N-1} i[n] e^{-j2\pi k \frac{n}{N}} \quad (2.14)$$

Decompondo o sinal $I[k]$, representado na equação (2.14), obtém-se a sua parte real (R) e a sua parte imaginária (Im), ilustrado a parte real na equação (2.15) e a parte imaginária na equação (2.16).

$$R[k] = \sum_{n=0}^{N-1} i[n] \cos(2\pi k \frac{n}{N}) \quad (2.15)$$

$$Im[k] = \sum_{n=0}^{N-1} i[n] \sin(2\pi k \frac{n}{N}) \quad (2.16)$$

Visto que k é uma variável de frequência discreta, ou seja, representa um índice de frequência, logo um sinal no domínio do tempo composto por N pontos ao lhe aplicar a DFT, este cria um sinal no domínio da frequência composto por $N/2 + 1$ frequências. Assim sendo, quando n varia entre 0 e $N-1$, k varia entre 0 e $N/2$, e considerando F_s como a frequência de amostragem utilizada e cada frequência de índice k dada por KF_s/N , a frequência mais alta possível de ser detetada é $F_s/2$.

Uma vez conhecida a parte real e imaginária adquiridas no domínio da frequência, é possível calcular a amplitude A de uma dada frequência de índice k , utilizando a equação (2.17).

$$A[k] = \sqrt{R[k]^2 + Im[k]^2} \quad (2.17)$$

Mas também é possível calcular a fase(θ) de uma dada frequência de índice k , utilizando a equação (2.18).

$$\theta[k] = \tan^{-1} \frac{Im[k]}{R[k]} \quad (2.18)$$

Agora tendo a amplitude e a fase de um conjunto de frequências harmónicas, pode-se obter a corrente de compensação, permitindo criar esta com as componentes harmónicas desejadas. Contudo, para criar esta corrente, é necessário trabalhar-se no domínio do tempo, ou seja, tem-se de recorrer ao processo inverso descrito em cima. A este processo se designa de transformada inversa de Fourier (*Inverse Discrete Fourier Transform* - IDFT). Aplicando a IDFT, a equação (2.19) ilustra a transformação de um sinal no domínio da frequência ($I[k]$), estando este decomposto na sua parte real e na sua parte imaginária, para o domínio do tempo ($i[n]$).

$$i[n] = \sum_{k=0}^{N/2} R\bar{I}[k] \cos(2\pi k \frac{n}{N}) + \sum_{k=0}^{N/2} Im\bar{I}[k] \sin(2\pi k \frac{n}{N}) \quad (2.19)$$

Os termos $R\bar{I}[k]$ e $Im\bar{I}[k]$ representam as amplitudes das partes reais e imaginárias, respetivamente, para se transpor o sinal $I[k]$ para o domínio do tempo. Estes termos não são os mesmos que acima foram apresentados, isto porque a amplitude de cada frequência necessária para gerar o sinal no domínio do tempo é diferente daquela obtida na DFT. Assim sendo, a amplitude de uma frequência de índice k é dada pelas seguintes equações (2.20) e (2.21).

$$R\bar{I}[k] = \frac{R[k]}{N/2} \quad (2.20)$$

$$Im\bar{I}[k] = -\frac{Im[k]}{N/2} \quad (2.21)$$

No caso da parte real, na equação (2.20), não se aplica todos os valores de k utilizados, ou seja de 0 a $N/2$, ao contrário da parte imaginária, na equação (2.21). Isto porque, nos extremos é diferente, tendo as equações (2.22) e (2.23) para calcular a amplitude da parte real nos extremos, ou seja para 0 e $N/2$.

$$R\bar{I}[0] = \frac{R[0]}{N} \quad (2.22)$$

$$R\bar{I}[N/2] = \frac{R[N/2]}{N} \quad (2.23)$$

Com isto pode-se observar que a contribuição da parte real de cada frequência, para a constituição do sinal no domínio do tempo, rege-se por um fator de $2/N$. Contudo, existe duas exceções, no caso para a frequência zero e para a $F_s/2$, cujo o fator nestes casos é $1/N$, ou seja, metade. Isto deve-se ao facto de o domínio da frequência ser definido como uma densidade espectral. Então esta teoria de controlo indica a amplitude por largura de banda de um sinal, em que o número de amostras no domínio da frequência é igual a $N/2 + 1$, a largura de banda de cada amostra é de $2/N$, menos na primeira e última amostras, uma vez que nestes dois casos a largura de banda é $1/N$, contribuido menos na constituição do sinal no domínio do tempo [49], [50].

Esta teoria de controlo é vantajosa em condições de ressonância no sistema elétrico, mas o facto de se tratar de uma teoria no domínio da frequência, quando aplicada a um FAP, torna-se um pouco desvantajosa a sua aplicação. Devido a um acréscimo do tempo de resposta quando existe variações no sistema e também a um aumento dos custos computacionais, isto quando comparado com teorias de controlo no domínio do tempo [51].

2.5.3 Teoria Fryze-Buchholz-Depenbrock

A teoria Fryze-Buchholz-Depenbrock (FBD) pode ser aplicável a qualquer sistema independentemente do número de fases e qualquer forma de onda da corrente. Esta teoria é baseada em trabalhos iniciais de Fryze e Buchholz sendo posteriormente proposta por Depenbrock, sendo uma

teoria no domínio do tempo. Esta teoria baseia-se no princípio que uma carga pode ser representada por uma condutância em paralelo com uma fonte de corrente. A componente ativa da corrente consumida pela carga (i_c) é representada pela condutância (potência ativa), enquanto que a potência reativa e componentes harmónicas consumidas pela carga (i_x) está representada pela fonte de corrente, sendo que a relação destas componentes obtém-se a corrente total consumida pela carga (i_L) descrita na seguinte equação (2.24).

$$i_L = i_c + i_x \quad (2.24)$$

Uma vez que o FAP tem como função fornecer à carga a potência reativa e o conteúdo harmónico, a corrente de compensação é igual a i_x . Para então obter o valor da corrente de compensação é necessário discriminar a componente ativa da corrente total. Então os cálculos a efetuar vão recair sobre a condutância, visto que é ela que representa a potência ativa. Esta condutância é designada de condutância ativa equivalente (G_c) e relaciona-se com a corrente ativa consumida e com a tensão aos seus terminais, sendo esta a tensão da rede (v_s). Na equação (2.25) pode-se ver esta relação.

$$i_c(t) = G_c v_s(t) \quad (2.25)$$

Uma vez que a potência ativa (P) corresponde ao valor médio da potência instantânea, recorre-se à equação (2.26) para efetuar o seu cálculo.

$$P = \frac{1}{T} \int_T v_s(t) i_L(t) dt \quad (2.26)$$

Relacionando agora a potência ativa com o quadrado do valor eficaz da tensão da rede obtém-se através da equação (2.27) a condutância ativa equivalente.

$$G_c = \frac{P}{V_s^2} \quad (2.27)$$

Utilizando a equação (2.28) para calcular o valor eficaz quadrático da tensão da rede.

$$V_s^2 = \frac{1}{T} \int_0^T v_s^2(t) dt \quad (2.28)$$

Assim pode-se calcular a corrente de compensação do FAP reescrevendo as equações. Utilizando a equação (2.24) como base e as restantes substituindo de modo a se poder calcular a potência reativa e componentes harmónicas consumida pela carga, ou seja, calcular a corrente de compensação através da equação (2.29) [52],[53].

$$i_x = i_L - \frac{P v_s}{V_s^2} \quad (2.29)$$

2.6 Conversores CC-CA Fonte de Tensão

Um conversor CC-CA é a parte integrante do andar de potência de um FAP. Este conversor CC-CA pode ser classificado de duas maneiras, como fonte de tensão (*Voltage Source Inverter* - VSI) ou como fonte de corrente (*Current Source Inverter* - CSI). Ambos serão abordados dando mais ênfase aos conversores CC-CA fonte de tensão.

Na generalidade dos conversores de potência, estes são constituídos por um ou mais semicondutores de potência, para além de outros componentes que fazem parte do conversor. No caso de um conversor CC-CA, este requer a utilização de semicondutores totalmente controlados, isto é, semicondutores que tanto podem ser ligados como desligados por meio de um sinal de comando. Com estes semicondutores é possível ter três zonas distintas de funcionamento, sendo elas: ao corte (não se encontra a conduzir o dispositivo), no triodo (o dispositivo encontra-se a conduzir a corrente máxima do circuito) e na saturação, ou seja o meio termo entre os dois descritos anteriormente (o dispositivo está parcialmente em condução, isto é, não conduz a corrente máxima do circuito). Contudo, em aplicações de potência só interessa duas zonas, a zona de corte e a de saturação. Com isto, idealmente, na zona de corte a corrente é nula no semicondutor e na zona de saturação a queda de tensão é nula no mesmo, ou seja, a potência dissipada seria nula. Todavia, isto não se verifica na realidade, existindo uma corrente bastante pequena quando o semicondutor se encontra ao corte, sendo esta designada de corrente de fuga, e uma pequena queda de tensão no semicondutor na zona de saturação [54]. Desta forma, a potência dissipada nestes casos é baixa, algo que na outra zona não acontece. Posto isto, apenas é vantajosa a operação na zona de corte e na de saturação, em que se pode comparar o seu funcionamento a um interruptor. Apresentando alguns exemplos de semicondutores totalmente controlados, os já referidos IGBTs e MOSFETs, tendo ainda por exemplo os BJTs (*Bipolar Junction Transistor*), os GTOs (*Gate Turn-Off Thyristor*), entre outros. Apesar disto os mais utilizados em conversores CC-CA são os IGBTs e MOSFETs, devido às vantagens que reúnem, sendo as principais em comparação com os outros mencionados, o facto de permitirem frequências de comutação mais altas e de possuírem uma alta impedância de entrada, o que faz com que o consumo de energia seja mais reduzido [55].

Como referido o conversor CC-CA pode se classificar de duas maneiras, VSI ou CSI, a sua identificação é dependente dos elementos constituintes do barramento CC. No caso de ser um conversor CC-CA do tipo VSI (um inversor fonte de tensão) o barramento CC é constituído por elementos capacitivos, já no caso de ser um conversor CC-CA do tipo CSI (um inversor fonte de corrente) o seu barramento CC é constituído por elementos indutivos. Na Figura 2.17 estão ilustrados os dois tipos de topologias de conversores CC-CA consoante o tipo de barramento CC. No caso de se

tratar de um conversor CC-CA do tipo CSI é necessário a implementação de díodos em série com cada semicondutor de potência visto ser um conversor unidirecional. Isto porque a capacidade de bloqueio de tensão inversa do semicondutor não é suficiente e para manter o fluxo da corrente no mesmo sentido, evitando que este flua pelos díodos em antiparalelo. Por outro lado, num conversor CC-CA do tipo VSI o fluxo de corrente é bidirecional devido aos díodos em antiparalelo que normalmente já são implementados pelos fabricantes, uma vez que os semicondutores utilizados não permitem condução nos dois sentidos [56].

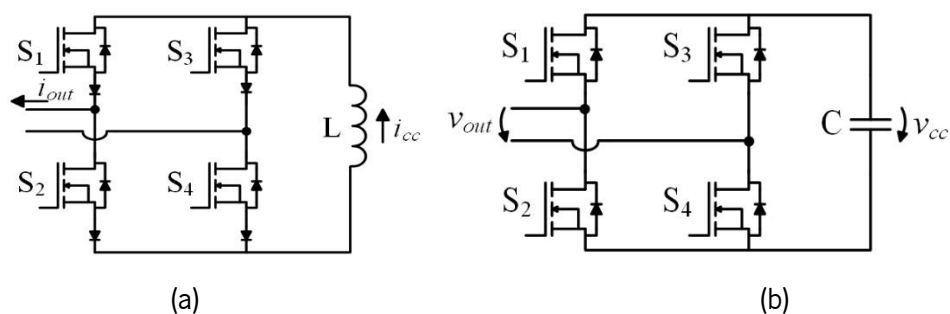


Figura 2.17. Topologia de conversor CC-CA tendo em conta o barramento CC: (a) CSI; (b) VSI.

2.6.1 Conversor CC-CA em Meia Ponte

Um conversor CC-CA em meia ponte trata-se da topologia mais simples, uma vez que é apenas constituído por um braço, ou seja, tem na totalidade dois semicondutores de potência totalmente controlados. O seu barramento está dividido em dois, logo este possui dois condensadores. A ligação com a rede é feita com dois pontos: um no ponto intermédio do braço dos semicondutores, sendo neste ponto ligado a fase, e o outro no ponto médio dos condensadores, sendo ligado ao neutro. A tensão de saída é obtida então entre estes dois pontos. Na Figura 2.18 observa-se a topologia em meia ponte, recorrendo a MOSFETs como semicondutores de potência.

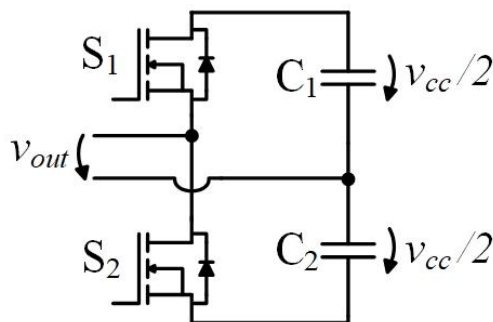


Figura 2.18. Conversor CC-CA em meia ponte.

O facto de se tratar de uma topologia simples torna o controlo da mesma também mais simples. Tem a particularidade de apresentar menos perdas de comutação visto que o número de semicondutores é menor em comparação às outras topologias. Contudo, possuir dois condensadores

no barramento CC faz com que seja necessário efetuar um controlo adicional, de modo a manter a tensão igual nos dois condensadores.

Esta topologia apenas permite dois níveis de tensão na sua saída. Estes dois níveis correspondem a um dos semicondutores, ou seja, quando um em funcionamento e o outro desligado, sendo de realçar que os dois semicondutores não podem ser nem estar ligados ao mesmo tempo, uma vez que provocaria um curto-circuito no barramento CC. Os estados de operação do conversor CC-CA em meia ponte estão ilustrados na Tabela 2.1

Tabela 2.1.-Estados de operação de um conversor CC-CA em meia ponte.

Estado	S_1	S_2	V_{out}
1	ON	OFF	$+V_{cc}/2$
2	OFF	ON	$-V_{cc}/2$

Em cada estado pode-se ter duas situações. No estado 1, a primeira é quando a corrente (i_{out}) é maior do que 0, em que se verifica que o barramento CC (C_1) fornece energia à carga ou à rede, e a segunda situação é o contrário, ou seja, a corrente (i_{out}) é menor do que 0 e a carga ou a rede fornece energia ao barramento CC (C_1). No estado 2 acontece o contrário relativamente ao estado 1, sendo que quando a corrente (i_{out}) é menor do que 0 verifica-se que o barramento CC (C_2) fornece energia à carga ou à rede e quando a corrente (i_{out}) é maior do que 0 e a carga ou a rede fornece energia ao barramento CC (C_2).

2.6.2 Conversor CC-CA em Ponte Completa

Um conversor CC-CA em ponte completa é constituído por 4 semicondutores de potência totalmente controlados. Em comparação ao conversor CC-CA em meia ponte o de ponte completa contém apenas um condensador no barramento CC e os semicondutores não têm de suportar uma tensão tão elevada. O facto de apresentar apenas um condensador no barramento CC, torna-se desnecessário o controlo para balancear as tensões, ou seja, apenas se têm de controlar a tensão no barramento CC. Outra vantagem que apresenta em comparação ao conversor CC-CA em meia ponte, é o facto de esta topologia permitir três níveis de tensão na sua saída, possibilitando que o sinal de saída seja sintetizado com melhor qualidade [57]. Na Figura 2.19 observa-se então o conversor CC-CA em ponte completa.

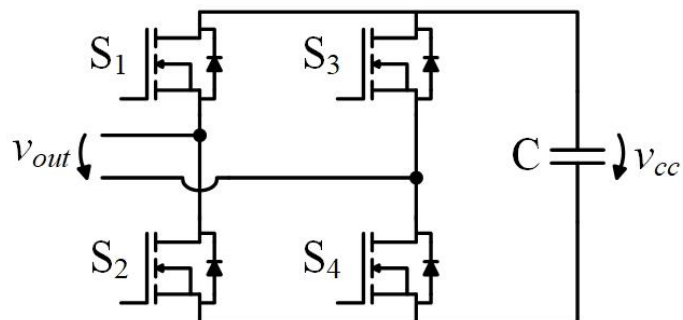


Figura 2.19. Conversor CC-CA em ponte completa.

No caso do conversor CC-CA em ponte completa, podem ser definidos quatro estados de operação. Nestes quatro estados, podem ser então produzidos três níveis de tensão de saída diferentes, uma vez que existe duas combinações que obtêm o mesmo nível. Nesta topologia, quando em operação, possui dois semicondutores em condução e outros dois semicondutores desligados, sendo também de realçar a semelhança do conversor CC-CA em meia ponte, que os dois semicondutores do mesmo braço não podem estar em condução ao mesmo tempo, criando um curto-circuito no barramento CC se tal acontecer. Então os semicondutores S_1 e S_2 nunca poderão conduzir em simultâneo, assim como os semicondutores S_3 e S_4 . Na Tabela 2.2 apresenta-se então os estados e as saídas da operação do conversor CC-CA em ponte completa.

Tabela 2.2.-Estados de operação de um conversor CC-CA em ponte completa.

Estado	S_1	S_2	S_3	S_4	V_{out}
1	ON	OFF	OFF	ON	$+V_{cc}$
2	OFF	ON	ON	OFF	$-V_{cc}$
3	ON	OFF	ON	OFF	0
4	OFF	ON	OFF	ON	0

À semelhança do conversor CC-CA em meia ponte, em cada estado pode-se ter duas situações, quando o barramento CC fornece energia ou quando o barramento recebe energia. Quando o barramento CC fornece energia a corrente tem valor positivo ($i_{out} > 0$) e flui pelos semicondutores, quando o barramento CC recebe energia a corrente tem valor negativo ($i_{out} < 0$) e flui pelos díodos em antiparalelo.

2.6.3 Conversor CC-CA Multinível

A existência de sistemas de grande potência, como por exemplo o caso de indústrias que são alimentadas a média tensão, levou ao desenvolvimento de novas topologias de conversores CC-CA. Isto porque, a utilização de semicondutores nestes casos torna-se bastante dispendiosa, uma vez que estes têm de suportar tensões mais elevadas. Com isto, os conversores CC-CA multinível vieram

resolver este problema, visto que estes apresentam um número maior de semicondutores, reduzindo assim a tensão que cada um têm de suportar. Estes tipos de conversores CC-CA permite a criação de vários níveis de tensão na sua saída, com isto, a tensão de saída apresenta melhor qualidade, ou seja, quanto mais níveis o conversor CC-CA conseguir gerar, melhor qualidade terá a tensão de saída.

Existem várias topologias de conversores CC-CA multinível, mas as mais referenciadas na literatura são três, designadas *Diode Clamped Inverter* (DCI), *Capacitor Clamped Inverter* (CCI) e *Cascaded Multilevel Inverter* (CMLI) [58].

2.6.3.1 *Diode Clamped Inverter*

Trata-se de uma topologia que recorre aos semicondutores de potência totalmente controlados e a díodos. Dependendo do número de semicondutores utilizados, o número de níveis possíveis também varia, que por sua vez o número de condensadores também varia. A Figura 2.20 ilustra a referida topologia, no caso uma topologia de três níveis. Como se observa esta é constituída por quatro semicondutores de potência (MOSFETs), dois díodos e dois condensadores.

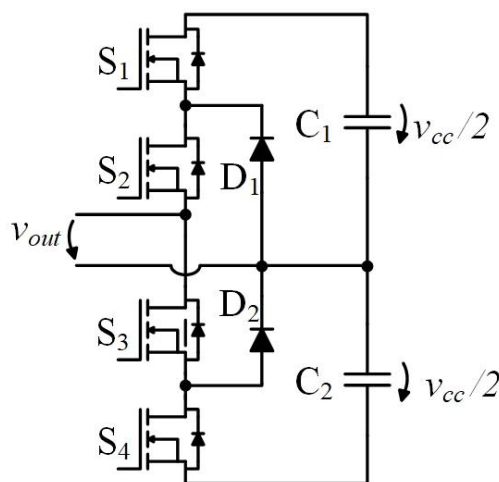


Figura 2.20. Conversor CC-CA multinível do tipo DCI de três níveis.

Nesta configuração só é possível três níveis na saída, estando sempre dois MOSFETs consecutivos em condução. Na Tabela 2.3 estão presentes os estados de operação para esta configuração.

Tabela 2.3.-Estados de operação de um conversor CC-CA do tipo DCI de três níveis.

Estado	S_1	S_2	S_3	S_4	V_{out}
1	ON	ON	OFF	OFF	$+V_{cc}/2$
2	OFF	ON	ON	OFF	0
3	OFF	OFF	ON	ON	$-V_{cc}/2$

Passando agora para uma configuração de cinco níveis, é necessário utilizar, mais quatro semicondutores (oito MOSFETs no total), mais quatro díodos (sendo 6 no total) e mais dois condensadores (passado a ser quatro no total). Na Figura 2.21 encontra-se então esta configuração.

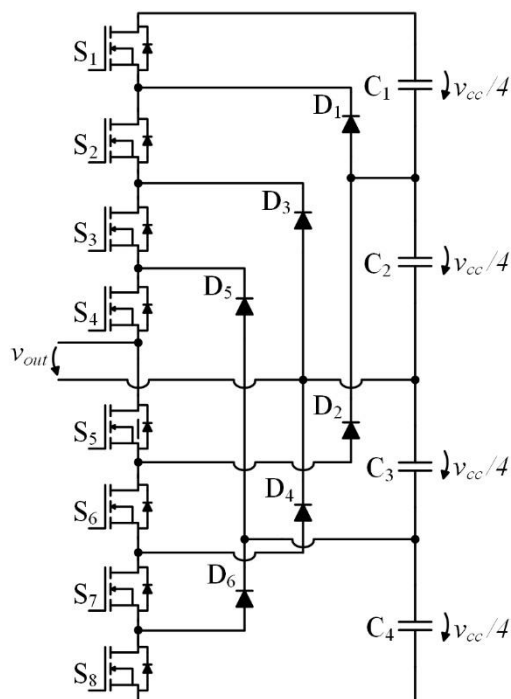


Figura 2.21. Conversor CC-CA multinível do tipo DCI de cinco níveis.

Contudo, nem todos os díodos utilizados irão suportar os mesmo níveis de tensão, logo o número de díodos terá de ser igual a doze, sendo 4 em cada braço. Passando a ser como ilustrado na Figura 2.22.

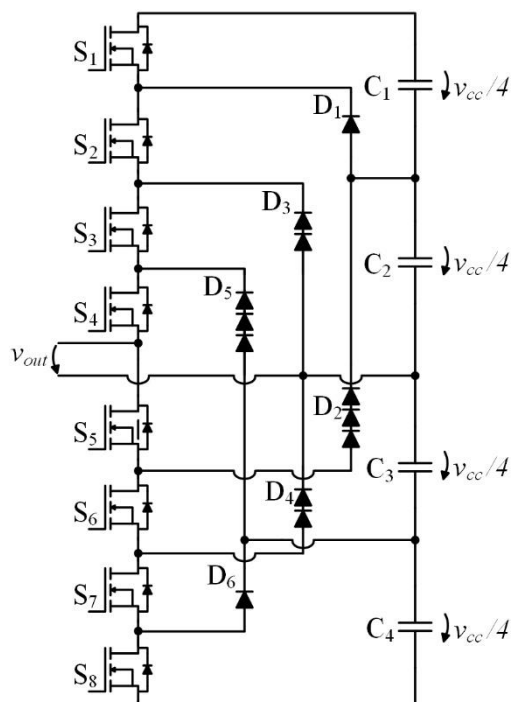


Figura 2.22. Conversor CC-CA multinível do tipo DCI de cinco níveis, com representação dos díodos necessários para que todos tenham o mesmo nível de tensão.

Observando assim que D_2 passa a valer três diodos, suportando uma tensão três vezes superior a D_1 , o D_3 e o D_4 passam a valer por dois cada um e o D_5 passa também a valer por três. Assim, para um n número de níveis, é necessário $2(n-1)$ semicondutores de potência totalmente controlados e $n-1$ condensadores. No caso dos diodos pode ser dado por $2(n-2)$, não considerando a tensão que cada um têm de suportar, mas se considerar que todos possuem a mesma tensão de bloqueio então é dado por $(n-1)/(n-2)$ [59],[60]. Para esta configuração na Tabela 2.4 está representado os estados de operação com a sua respetiva saída consequentemente. Nesta situação tem-se quatro semicondutores em condução e a existência de pares complementares (S_1 e S_5 / S_2 e S_6 / S_3 e S_7 / S_4 e S_8).

Tabela 2.4.-Estados de operação de um conversor CC-CA do tipo DCI de cinco níveis.

Estado	S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8	V_{out}
1	ON	ON	ON	ON	OFF	OFF	OFF	OFF	$+V_{cc}/2$
2	OFF	ON	ON	ON	ON	OFF	OFF	OFF	$+V_{cc}/4$
3	OFF	OFF	ON	ON	ON	ON	OFF	OFF	0
4	OFF	OFF	OFF	ON	ON	ON	ON	OFF	$-V_{cc}/4$
5	OFF	OFF	OFF	OFF	ON	ON	ON	ON	$-V_{cc}/2$

2.6.3.2 Capacitor Clamped Inverter

A topologia CCI é semelhante à topologia DCI, sendo que a principal diferença reside na utilização de condensadores, ou seja, conjuga os condensadores para adquirir diferentes níveis de tensão na saída. Com esta configuração, permite que o mesmo nível de tensão de saída possa ser obtido através de várias combinações de operação dos semicondutores de potência. Contudo, para que os níveis de tensão sejam uniformes, é necessário que a tensão nos condensadores flutuantes seja a mesma que a tensão dos condensadores do barramento CC. Na Figura 2.23 encontra-se ilustrada a topologia para três níveis.

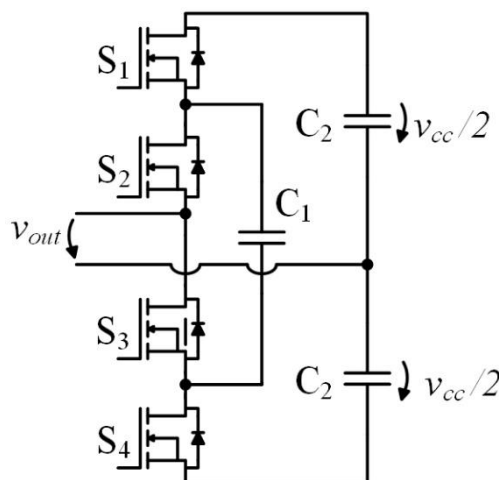


Figura 2.23. Conversor CC-CA multinível do tipo CCI de três níveis.

Na Tabela 2.5 observa-se então os estados e os níveis de tensão de saída possíveis. O nível zero pode ser obtido de duas formas, em que ambas consistem no estabelecimento de um caminho de corrente que utiliza a energia de condensador para carregar o outro. No estado 2 a energia do condensador C_2 superior carrega o condensador C_1 , enquanto no estado 3 a energia do condensador C_2 inferior carrega o condensador C_1 .

Tabela 2.5.-Estados de operação de um conversor CC-CA do tipo CCI de três níveis.

Estado	S_1	S_2	S_3	S_4	V_{out}
1	ON	ON	OFF	OFF	$+V_{cc}/2$
2	ON	OFF	ON	OFF	0
3	OFF	ON	OFF	ON	0
4	OFF	OFF	ON	ON	$-V_{cc}/2$

Nesta configuração o número de condensadores é dado por $n-2$. Contudo, se considerar-se os condensadores iguais, ou seja, todos possuem a mesma tensão ($V_{cc}/(n-1)$, por sinal a mesma tensão que os semicondutores têm de suportar), o número de condensadores passa ser dado por $(n-1)(n-2)/2$. Não esquecendo que as expressões referidas dizem apenas respeito ao número de condensadores a acrescentar com o aumento do número de níveis, mas para se obter o valor total do número de condensadores necessário somar os $n-1$ utilizados no barramento CC [58],[61],[62]. Posto isto, na Figura 2.24 está representado a topologia CCI de cinco níveis, em que os condensadores utilizados foi dado por $(n-1)(n-2)/2 + n-1$.

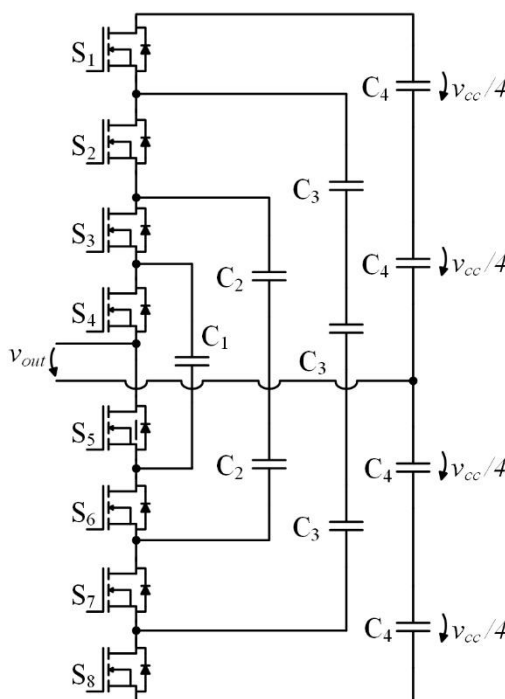


Figura 2.24. Conversor CC-CA multinível do tipo CCI de cinco níveis.

Na Tabela 2.6 encontra-se os estados de operação desta topologia.

Tabela 2.6.-Estados de operação de um conversor CC-CA do tipo CCI de cinco níveis.

Estado	S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8	V_{out}
1	ON	ON	ON	ON	OFF	OFF	OFF	OFF	$+V_{cc}/2$
2	ON	ON	ON	OFF	ON	OFF	OFF	OFF	$+V_{cc}/4$
3	OFF	ON	ON	ON	OFF	OFF	OFF	ON	$+V_{cc}/4$
4	ON	OFF	ON	ON	OFF	OFF	ON	OFF	$+V_{cc}/4$
5	ON	ON	OFF	OFF	ON	ON	OFF	OFF	0
6	OFF	OFF	ON	ON	OFF	OFF	ON	ON	0
7	ON	OFF	ON	OFF	ON	OFF	ON	OFF	0
8	ON	OFF	OFF	ON	OFF	ON	ON	OFF	0
9	OFF	ON	OFF	ON	OFF	ON	OFF	ON	0
10	OFF	ON	ON	OFF	ON	OFF	OFF	ON	0
11	ON	OFF	OFF	OFF	ON	ON	ON	OFF	$-V_{cc}/4$
12	OFF	OFF	OFF	ON	OFF	ON	ON	ON	$-V_{cc}/4$
13	OFF	OFF	ON	OFF	ON	OFF	ON	ON	$-V_{cc}/4$
14	OFF	OFF	OFF	OFF	ON	ON	ON	ON	$-V_{cc}/2$

A obtenção dos níveis de tensão nesta topologia, prende-se pelo facto de se jogar com as trocas de energia entre os vários condensadores. Isto torna esta topologia versátil na obtenção dos níveis. Então dependendo de quantos condensadores tiverem a fornecer e quantos tiverem a absorver o nível de tensão varia, ou seja, se tiver mais condensadores a fornecer do que absorver a tensão de saída é positiva. No caso de ser ao contrário, a tensão de saída será negativa, e não esquecendo que, caso o número de condensadores a fornecer seja igual aos que estão a absorver, a tensão de saída será igual a 0.

2.6.3.3 Cascaded Multilevel Inverter

Esta topologia consiste numa ligação em série de pelo menos dois ou mais conversores CC-CA em ponte completa, então a tensão de saída desta topologia é dada pela soma das tensões individuais de saída de cada conversor. Nesta topologia cada conversor CC-CA em ponte completa é designado célula. Uma vez que em cada célula a sua saída pode apresentar três níveis de tensão de saída, então se existir n_c células, a topologia apresenta $2n_c+1$ níveis de tensão de saída. Como nas outras topologias apresentadas para saber o número necessário de semicondutores de potência totalmente controlados utiliza-se a expressão $2(n-1)$ [61]. Contudo, em comparação com as outras topologias, esta não

necessita de componentes adicionais, isto é, não necessita de diodos e condensadores adicionais. Na Figura 2.25 têm-se representado a topologia CMLI de cinco níveis.

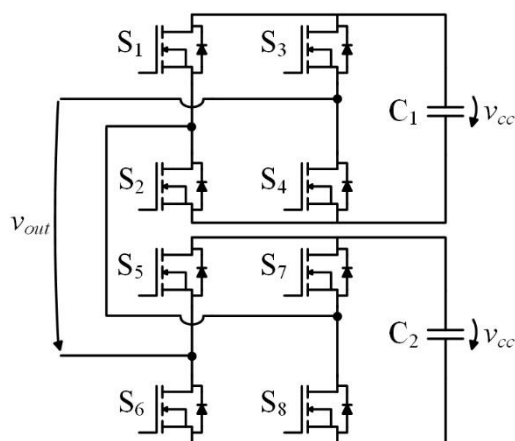


Figura 2.25. Conversor CC-CA multinível do tipo CMLI de cinco níveis.

Com esta topologia pode-se então obter 5 níveis de tensão de saída, estando MOSFETs em condução em cada estado, e tendo em atenção aos pares complementares. Na Tabela 2.7 encontra-se os estados de operação do conversor CC-CA do tipo CMLI de cinco níveis.

Tabela 2.7.-Estados de operação de um conversor CC-CA do tipo CMLI de cinco níveis.

Estado	S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8	V_{out}
1	ON	OFF	OFF	ON	ON	OFF	OFF	ON	$2V_{cc}$
2	ON	OFF	OFF	ON	ON	OFF	ON	OFF	V_{cc}
3	ON	OFF	OFF	ON	OFF	ON	OFF	ON	V_{cc}
4	ON	OFF	ON	OFF	ON	OFF	OFF	ON	V_{cc}
5	OFF	ON	OFF	ON	ON	OFF	OFF	ON	V_{cc}
6	ON	OFF	ON	OFF	ON	OFF	ON	OFF	0
7	ON	OFF	ON	OFF	OFF	ON	OFF	ON	0
8	OFF	ON	OFF	ON	ON	OFF	ON	OFF	0
9	OFF	ON	OFF	ON	OFF	ON	OFF	ON	0
10	OFF	ON	ON	OFF	ON	OFF	ON	OFF	$-V_{cc}$
11	OFF	ON	ON	OFF	OFF	ON	OFF	ON	$-V_{cc}$
12	ON	OFF	ON	OFF	OFF	ON	ON	OFF	$-V_{cc}$
13	OFF	ON	OFF	ON	OFF	ON	ON	OFF	$-V_{cc}$
14	OFF	ON	ON	OFF	OFF	ON	ON	OFF	$-2V_{cc}$

Esta topologia apresenta ainda uma particularidade, que consiste em sacrificar as redundâncias existentes nos estados de operação dos semicondutores, possibilitando assim um aumento do número de níveis de tensão de saída. Isto é, mantendo o mesmo número de células, mas utilizando tensões

de alimentação diferentes em cada célula. Para tal, tem de existir uma razão, pelo que esta razão tem de obedecer a uma progressão geométrica, ou seja, por exemplo 2^n ou 3^n (o n toma os valores de 0, 1 e 2). Sendo esta configuração de conversor CC-CA multinível designada de *Assymetric Cascaded Multilevel Inverter* (ACMLI) [63],[64]. Na Figura 2.26 encontra-se representado um exemplo de um conversor CC-CA do tipo ACMLI de vinte e sete níveis de tensão de saída, este apresenta uma razão de alimentação de 1:2:4.

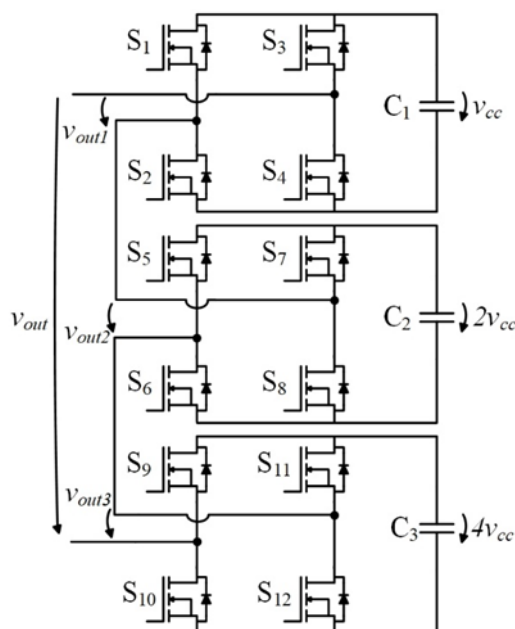


Figura 2.26. Conversor CC-CA multinível do tipo ACMLI de vinte e sete níveis.

2.7 Conclusão

Ao longo deste capítulo foram abordados os FAS, os FAP e a combinação entre ambos, designada de UPQC, contudo o maior destaque foi dado aos FAP monofásicos. Mostrando a capacidade deste tipo de equipamento para mitigar problemas de qualidade de energia elétrica, tendo em vista que a maior limitação na compensação harmônica nos dias de hoje se prende pela tecnologia dos semicondutores de potência.

Abordou-se as técnicas de modulação SPWM, uma vez se tratar de uma técnica bastante aplicada a conversores CC-CA, diferenciando as técnicas existentes, sendo a modulação bipolar, unipolar e SPWMs com mais que uma portadora, aplicado a conversores CC-CA multinível. De seguida apresentou-se algumas técnicas de controlo de corrente aplicadas aos conversores CC-CA do tipo VSI, mostrando duas técnicas de controlo de frequência variável, o comparador por histerese e o *periodic sampling*, bem como duas técnicas de controlo de frequência fixa, o controlo PI e o preditivo. Destas técnicas de controlo de corrente conclui-se que as técnicas de controlo que possui frequências fixas possuem um melhor desempenho.

Apresentando as técnicas de controlo de corrente, passou-se para as teorias de controlo para a obtenção da corrente de compensação em FAPs monofásicos. A teoria p-q e a teoria FBD trata-se de duas teorias no domínio do tempo. Estas teorias apresentam uma resposta rápida a variações na corrente medida, contudo o seu desempenho pode ser afetado por ressonâncias no sistema. Então, foi abordado também uma teoria de controlo no domínio da frequência para se poder comparar os desempenhos. Trata-se de uma teoria que faz uso da transformada de Fourier para detetar os harmónicos, as respetivas fases e amplitudes dos mesmos. No entanto, este método requer um grande tempo de processamento em relação às teorias do domínio do tempo.

Por fim, realizou-se o levantamento do estado da arte sobre conversores CC-CA, efetuando a distinção dos mesmos, podendo ser do tipo VSI e CSI. Foram abordadas as principais topologias de VSIs, nomeadamente conversores CC-CA em meia ponte e ponte completa, mas dando um destaque aos conversores CC-CA multinível.

Capítulo 3

Simulações do Filtro Ativo Paralelo Monofásico com Inversor Multinível

3.1 Introdução

A simulação computacional de sistemas tem um papel importantíssimo no procedimento de desenvolvimento dos projetos na área de eletrônica de potência. A utilização desta ferramenta permite efetuar testes ao sistema de uma forma segura, visto que nos sistemas de eletrônica de potência o nível de energia é bastante alto, evitando assim riscos como o perigo humano e danificação de componentes eletrônicos.

A ferramenta de simulação possibilita o estudo da performance do sistema de controlo, manipulando os parâmetros dos mesmos de modo a obter o comportamento desejado para o sistema. Posto isto, esta ferramenta permite reduzir o preço e o tempo de validação do sistema a implementar. Tomando isto em consideração, recorreu-se ao software PSIM 9.1 para a realização das simulações do sistema a implementar.

Ao longo do capítulo apresenta-se as simulações realizadas, tendo como objetivo a observação do comportamento do sistema, nomeadamente um conversor CC-CA multinível, operando como FAP. Apresenta-se o modelo de simulação desenvolvido, descrevendo o sistema de sincronização com a rede elétrica e os métodos utilizados para o controlo do conversor CC-CA, bem como todas as simulações realizadas que visaram testar o funcionamento do sistema.

3.2 Modelo de Simulação do Filtro Paralelo Monofásico com Inversor Multinível

Na Figura 3.1 está ilustrado o modelo de simulação implementado em software *PSIM*. O sistema encontra-se dividido em dois andares, o andar de potência e o andar de controlo. Relativamente ao andar de potência, este é composto pelo conversor CC-CA, pela rede elétrica, por cargas, por uma indutância de acoplamento e por um sistema de pré-carga dos condensadores do barramento CC. Como referido as cargas estão representadas por fontes de corrente tendo interruptores incorporados com a funcionalidade de simular a entrada e saída de cargas, de modo a observar a resposta dinâmica deste. Neste estão ainda inseridos os sensores necessários para o

correto funcionamento do sistema. No andar de controlo encontra-se o cálculo da corrente de compensação do FAP e o controlo de corrente do FAP, bem como a modulação para a comutação dos semicondutores de potência.

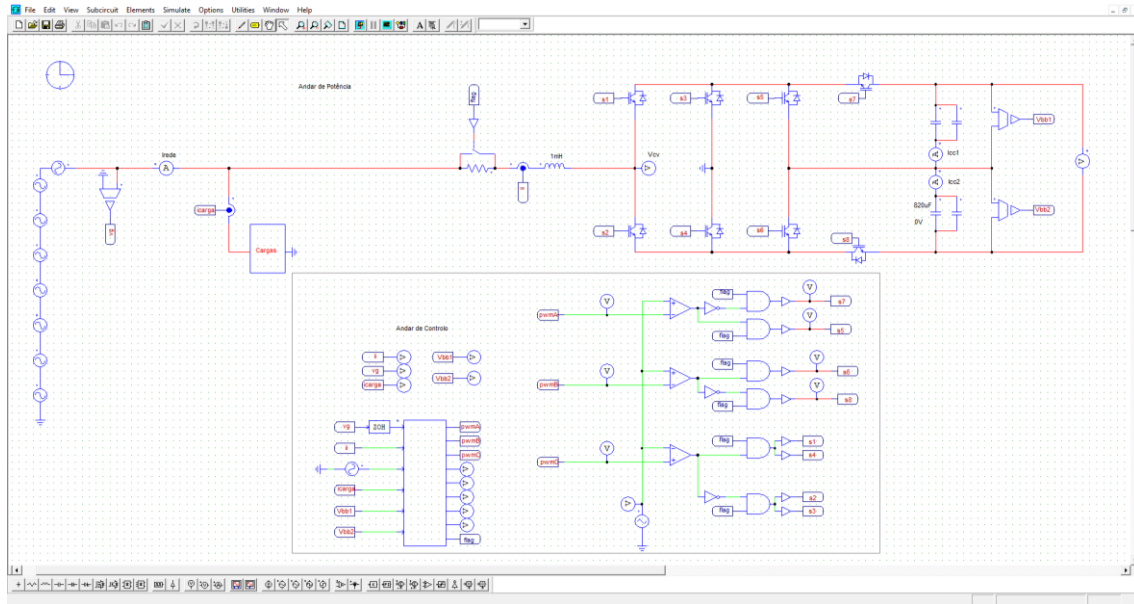


Figura 3.1. Modelo de simulação em PSIM do sistema.

De modo a representar o funcionamento do modelo de simulação, observa-se na Figura 3.2 um diagrama de blocos, ilustrando todas as variáveis de entrada e de saída como todo o sistema da rede elétrica.

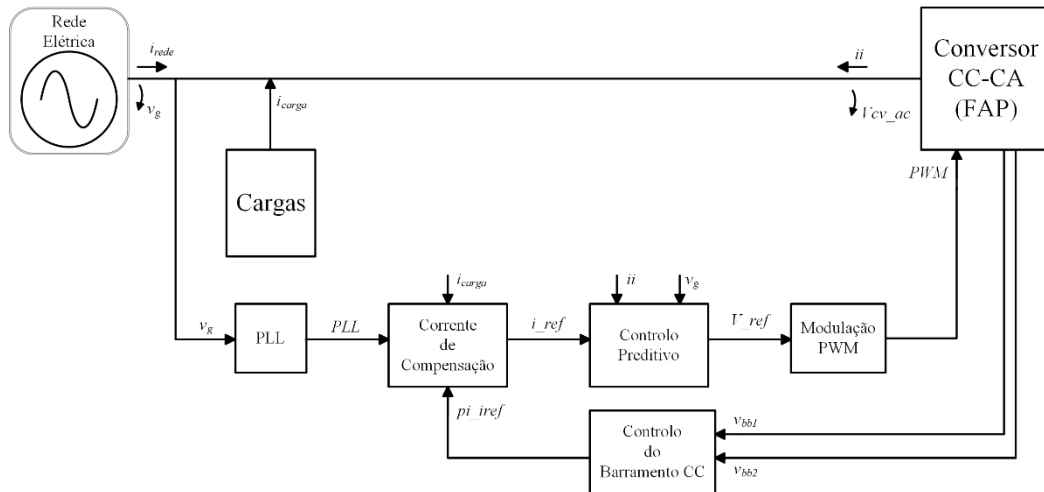


Figura 3.2. Modelo do sistema em diagrama.

3.3 Sistema de Sincronização com a Rede Elétrica

Para o funcionamento correto do FAP, é necessário recorrer a um mecanismo de sincronização com a rede elétrica. Para tal, utiliza-se um sistema de controlo denominado de *Phase Locked Loop* (PLL), que gera um sinal sinusoidal em fase com o sinal de entrada, ou seja, um sinal em fase com a tensão da rede elétrica. Esta PLL é utilizada para o cálculo da corrente de compensação do FAP.

Então a PLL utilizada foi proposta por Karimi-Ghartemani e Iravani, sendo efetuado o cálculo da fase e a amplitude da mesma. O sistema apresenta um controlador PI, que ao manipular os ganhos, influencia na velocidade de sincronismo, bem como a sua estabilidade [65]. Na Figura 3.3 observa-se então a tensão da rede elétrica (V_g) e a PLL obtidos na simulação.

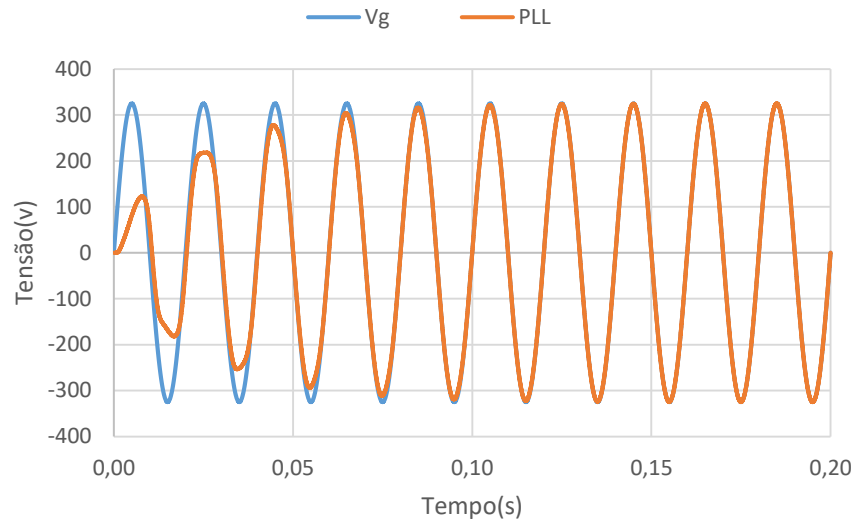


Figura 3.3. Tensão da rede elétrica e o sinal da PLL.

Contudo, independentemente de a tensão da rede elétrica apresentar um sinal distorcido, a PLL formada é um sinal sinusoidal com baixa distorção. Na Figura 3.4 pode-se observar o que foi referido. A tensão da rede (V_g) apresenta um *THD* de 10,775%, enquanto que a PLL formada apresenta um *THD* de 1,035%

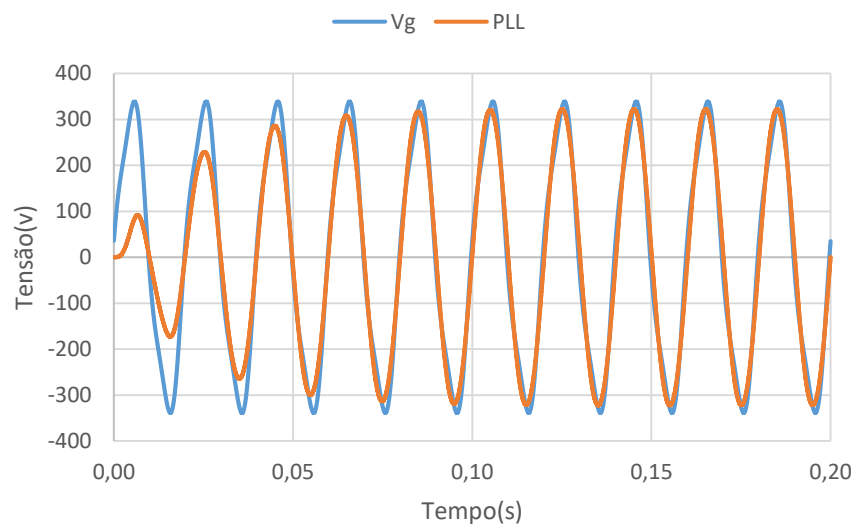


Figura 3.4. Tensão da rede elétrica distorcida e o sinal da PLL.

3.4 Operação como Filtro Ativo Paralelo

A topologia selecionada consiste num conversor CC-CA fonte de tensão multinível.

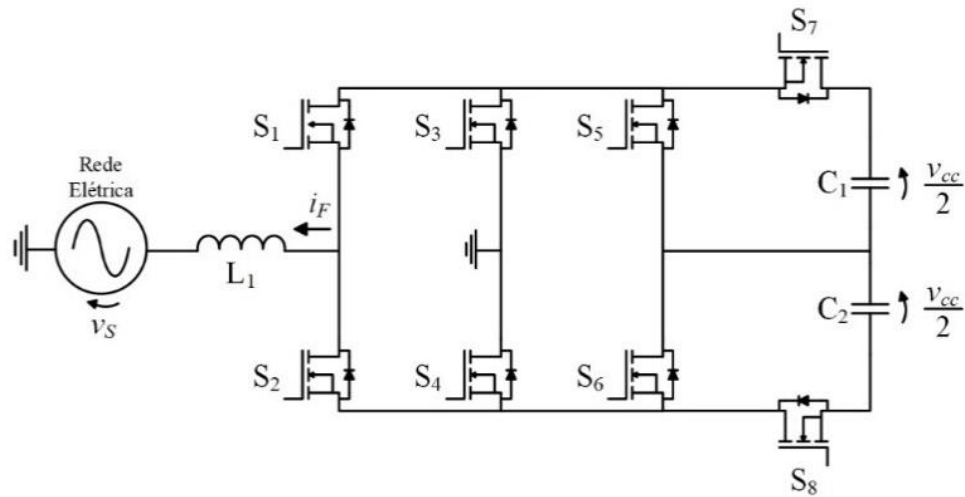


Figura 3.5. Esquemático da topologia do conversor CC-CA multinível utilizado.

A frequência de comutação utilizada foi de 100 kHz, permitindo reduzir ao valor da indutância que faz o acoplamento à rede elétrica. Implementou-se as técnicas de controlo do FAP, como também o controlo necessário para manter equilibrado e igual os dois bancos de condensadores em série que compõem o barramento CC.

De seguida, com as técnicas necessárias para o correto funcionamento do FAP, procedeu-se à realização de testes, de modo a observar o comportamento deste e o seu rendimento. Isto é, a entrada e saída de cargas provoca um distúrbio que o FAP tem de se conseguir adaptar, continuando o seu correto funcionamento, e mantendo a corrente da rede elétrica o mais sinusoidal possível, baixo *THD*, e com um alto fator de potência.

3.4.1 Controlo da Tensão do Barramento CC

De forma a que o FAP consiga injetar uma corrente de compensação na rede elétrica, é necessário um valor mínimo de tensão no seu barramento CC. Esta depende da tensão de pico da rede elétrica à qual está inserido, sendo que a tensão no barramento CC precisa então de ser um valor superior à tensão de pico da rede elétrica. Visto que o sistema será ligado ao sistema elétrico nacional, este opera com uma tensão de pico de, aproximadamente, 325 V, tendo se estabelecido o valor de 400 V para a tensão total do barramento CC. Uma vez que o barramento CC encontra-se dividido em dois, logo cada um terá uma tensão de 200 V.

Definindo a tensão do barramento CC torna-se crucial também efetuar o seu controlo, de maneira a fazer com que esta seja o mais estável possível, permitindo o correto funcionamento do sistema de controlo. Contudo, este apresentará pequenas flutuações causadas pela injeção de corrente na rede, tendo o controlo depois como função, manter o valor médio da tensão nos condensadores.

Então o primeiro passo do FAP, passa por efetuar o carregamento do barramento CC. Uma vez que os semicondutores de potência utilizados têm na sua constituição díodos em antiparalelo, o FAP opera como um retificador, carregando até perto do valor de pico da tensão da rede elétrica. Mas é necessário limitar o pico de corrente inicial, visto se tratar de uma carga capacitiva, é colocada uma resistência de pré-carga em série entre a rede elétrica e o FAP. Uma vez chegado perto do valor de pico da tensão da rede elétrica, é efetuado um curto-circuito na resistência de pré-carga. Chegado a este momento, os semicondutores passam a atuar de modo a elevar a tensão do barramento CC para a tensão desejada. Para este processo recorre-se a um controlador PI, cujo a escolha dos seus parâmetros, ganhos, têm influência na corrente absorvida para o carregamento do barramento CC. Posto isto, a escolha destes deve ter sido em conta, mantendo os ganhos baixos e limitando a potência necessária à regulação, evitando assim correntes elevadas. Para a regulação do barramento CC, como no caso o barramento CC é constituído por dois bancos de condensadores, o controlo é efetuado sobre os condensadores que estão em uso, ou seja, dependendo do semiciclo a referência é diferente. Na Figura 3.6 observa-se as respetivas formas de ondas, a quando a regulação do barramento CC.

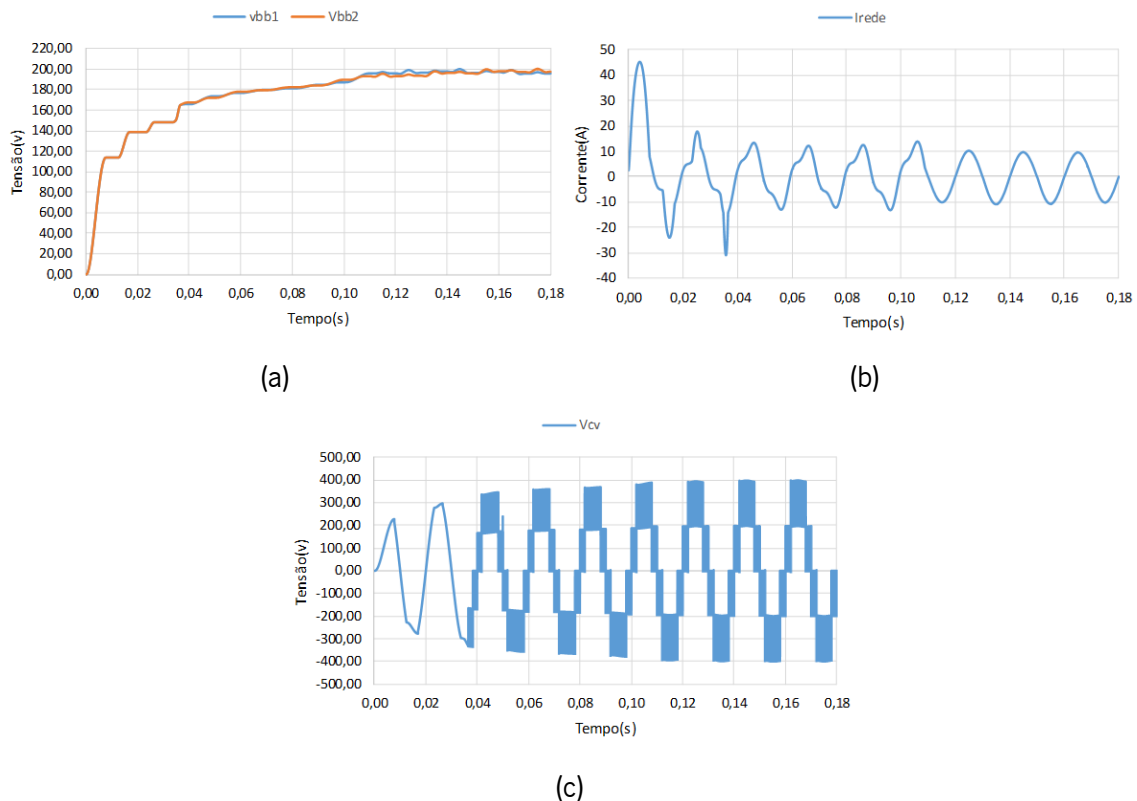


Figura 3.6. Regulação do barramento CC: (a) tensões em cada banco de condensadores; (b) corrente na rede; (c) tensão no conversor.

3.4.2 Cálculo da Corrente de Compensação

O cálculo da corrente de compensação é dado através do cálculo do valor RMS da corrente, utilizando também uma média deslizante para o cálculo. Este método foi escolhido devido há

simplicidade que este apresenta. Contudo, como trabalho futuro passaria por migrar para um dos métodos abordados na secção 2.5.

Este método começa por calcular o quadrado da corrente das cargas, pegando nos valores calculados, soma-se aos anteriores e retirando o valor mais antigo. De seguida calcula-se a média consoante os números de pontos da janela utilizada, números estes são dados consoante a frequência de amostragem. O valor final é dado pela raiz quadrada do valor médio. Este valor final é então a corrente de referência que o FAP terá de produzir para efetuar a compensação da rede elétrica.

3.4.3 Controlo de Corrente Preditivo

De acordo com as técnicas de controlo de corrente abordadas na secção 2.4, selecionou-se o controlo de corrente preditivo com modulação SPWM para aplicar ao FAP. Para se selecionar o método de controlo a utilizar, definiu-se alguns parâmetros, tais como a performance do controlo, o comportamento da comutação, ou seja, se a frequência de comutação é fixa ou variável, e a ausência de ajustes com a variação da corrente de compensação. Como tal, o controlo preditivo apresenta mais vantagens em relação aos outros controlos apresentados, uma vez que apresenta uma boa performance e uma boa resposta dinâmica, bem como uma frequência de comutação fixa. Este ainda não necessita de ajustes com a variação das cargas na rede elétrica onde está inserido. Posto isto, a escolha do controlo de corrente recaiu sobre este controlo. Após a seleção da técnica de controlo, na Figura 3.7 podemos observar a corrente sintetizada pelo conversor CC-CA seguindo a corrente de referência.

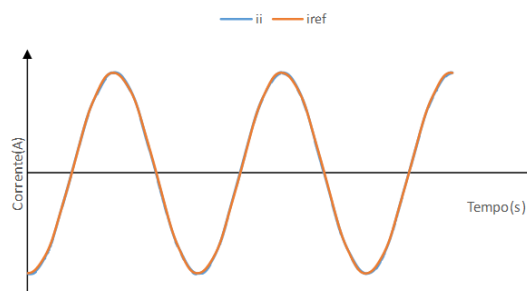


Figura 3.7. Controlo de corrente preditivo, tendo a corrente produzida e a corrente de referência.

3.4.4 Resultados de Simulação do Filtro Ativo Paralelo com Diferentes Cargas

Para avaliar o desempenho do FAP, realizaram-se diversos testes, observando o comportamento do mesmo, bem como a sua resposta dinâmica a perturbações causadas por cargas a ligar ou cargas a desligar.

De forma então a realizar os testes mencionados, simulou-se uma carga que consumia uma corrente com um THD de 25,01 %, carga esta que já se encontrava ligada, a quando a regulação do barramento CC. No final então do regulamento do barramento CC inicia-se assim a compensação. Na Figura 3.8(a) pode-se então observar a corrente da carga, com a tensão da rede elétrica, rede esta que apresenta uma pequena distorção (THD de 2,86 %). Posto isto, o FAP tem de compensar o THD da corrente. Na Figura 3.8(b) apresenta a corrente de compensação injetada pelo FAP. Na Figura 3.8(c) observamos a corrente resultante depois da compensação pelo FAP em conjunto com a tensão da rede elétrica. A corrente resultante da compensação apresenta um THD de 1,45 %. Na Figura 3.8(d) representa a tensão produzida pelo FAP, sendo visível os níveis de tensão, e no caso na Figura 3.8(e) representa a tensão no barramento CC.

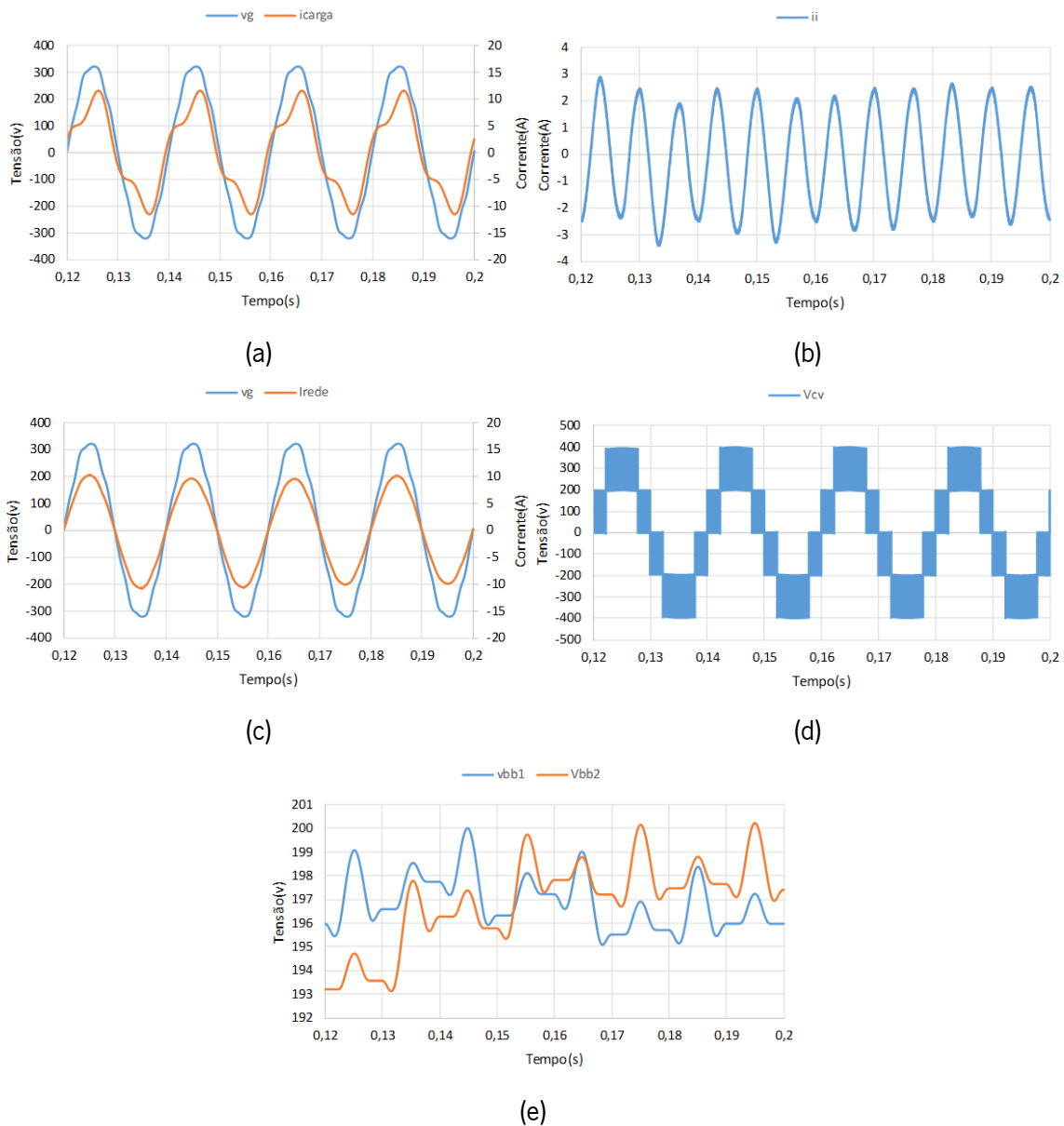


Figura 3.8. Conversor operando como FAP compensando uma carga: (a) tensão e corrente na carga; (b) corrente produzida pelo conversor; (c) tensão e corrente da rede elétrica; (d) tensão do conversor; (e) tensões nos bancos de condensadores.

De modo, a analisar a resposta dinâmica do FAP, foi simulada a entrada de duas cargas no instante 0,2 s, aumentando assim o *THD* da corrente das cargas para 35,31 %. Uma carga consumia até ao terceiro harmónico, enquanto a outra consumia até ao segundo harmónico. Na Figura 3.9(a) observa-se então a corrente das cargas, com a tensão da rede elétrica. Na Figura 3.9(b) exibe a corrente de compensação injetada pelo FAP, enquanto que na Figura 3.9(c) observa-se a corrente resultante da compensação em simultâneo com a tensão da rede elétrica. Neste caso a corrente resultante da compensação apresenta um *THD* de 1,61 %. Na Figura 3.9(d) e na Figura 3.9(e) têm-se as tensões, a tensão produzida pelo FAP(visíveis os níveis de tensão) e a tensão no barramento CC respetivamente.

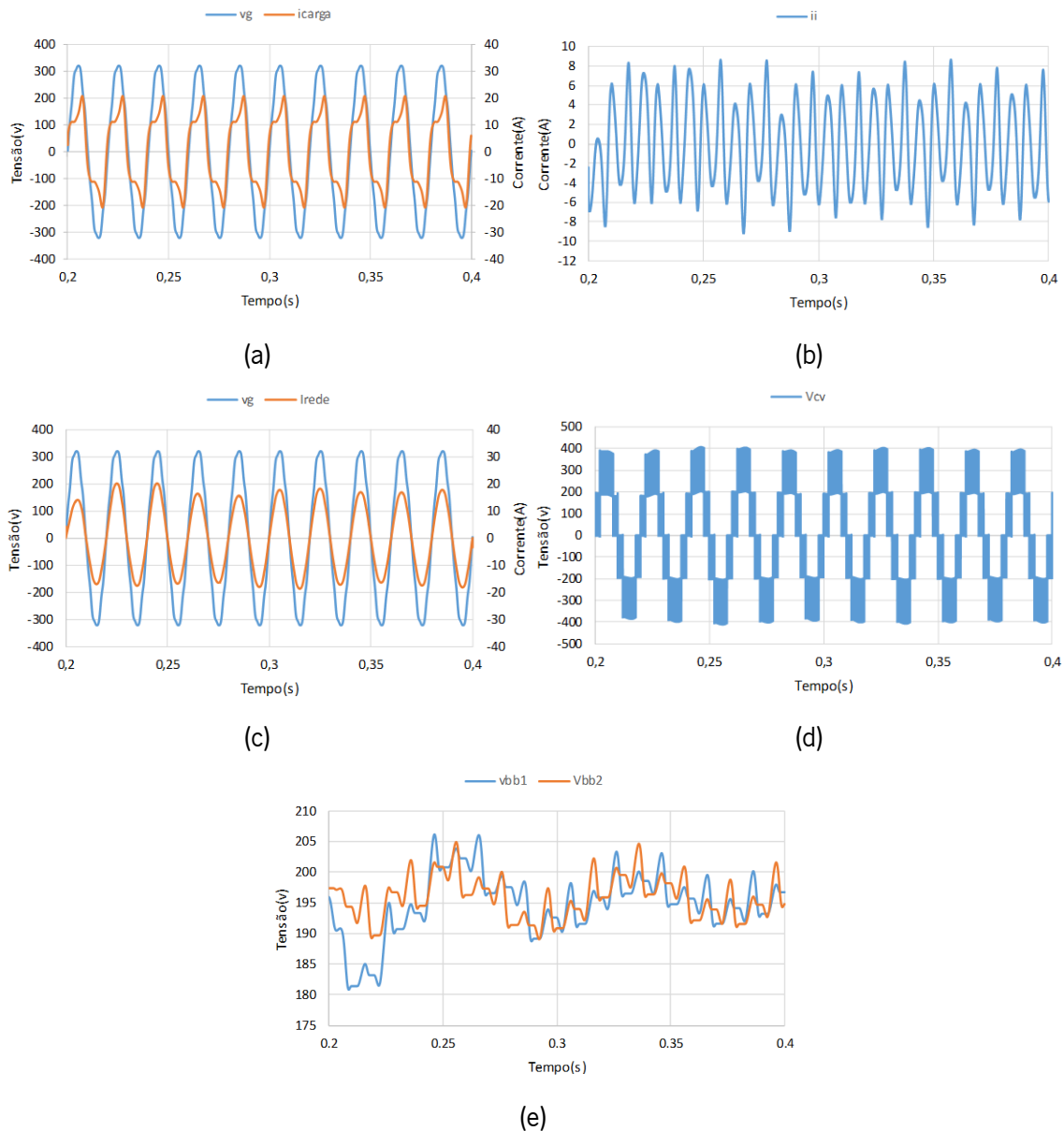


Figura 3.9. Conversor operando como FAP compensando a entrada de mais duas cargas na rede elétrica: (a) tensão e corrente na carga; (b) corrente produzida pelo conversor; (c) tensão e corrente da rede elétrica; (d) tensão do conversor; (e) tensões nos bancos de condensadores.

Agora, analisando a resposta quando as duas cargas ligadas no instante 0,2 s são desligadas no instante 0,4 s, voltando a ter apenas a carga inicial. Recordando que a corrente consumida por esta apresenta um THD de 25,01 %. Na Figura 3.10 observa-se então a resposta do sistema, tendo na Figura 3.10(a) a corrente da carga com a tensão da rede elétrica e na Figura 3.10(b) a corrente de compensação injetada pelo FAP. Na Figura 3.10(c) tem a corrente resultante da compensação e a tensão da rede elétrica. Na Figura 3.10(d) os níveis de tensão produzida pelo FAP e na Figura 3.10(e) a tensão no barramento CC. Contudo, neste caso a corrente resultante de compensação apresenta um THD de 2,3 %, voltando a tomar os valores de THD do primeiro teste depois do instante 0,6 s, demorando assim 0,2 s a estabilizar depois de deligado as duas cargas.

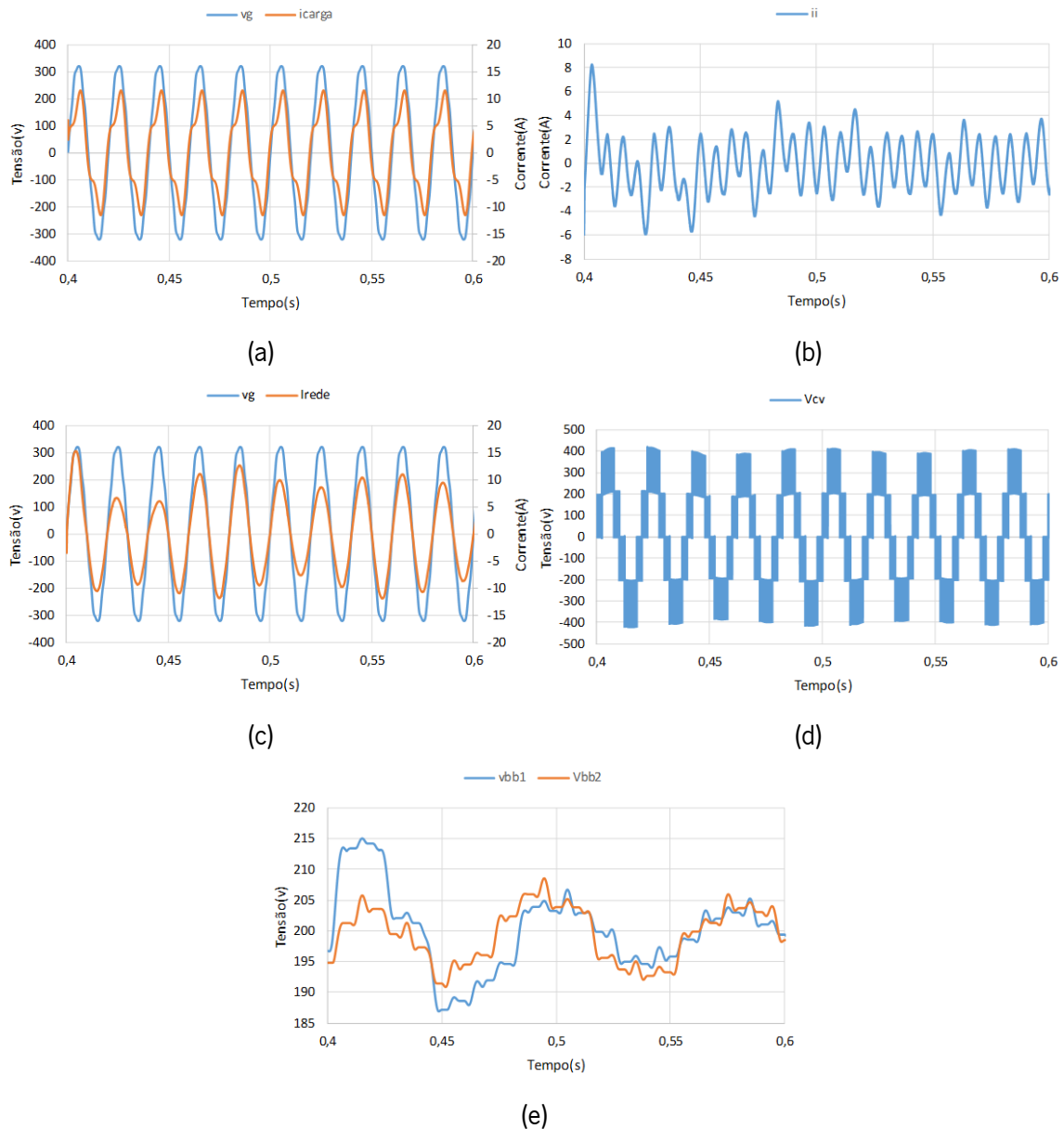


Figura 3.10. Conversor operando como FAP compensando a saída de mais duas cargas na rede elétrica: (a)tensão e corrente na carga; (b)corrente produzida pelo conversor; (c)tensão e corrente da rede elétrica; (d)tensão do conversor; (e)tensões nos bancos de condensadores.

Realizando agora um teste com uma carga RL, de modo a poder observar a compensação do fator de potência. Utilizou-se uma carga com um R de $10\ \Omega$ e um L de 30 mH. Na Figura 3.11(a) observa-se a tensão da rede e a corrente consumida pela carga, tendo assim um fator de potência de 0,7. A Figura 3.11(b) mostra a corrente produzida pelo conversor, tendo em seguida na Figura 3.11(c) a tensão e a corrente na rede elétrica e na Figura 3.11(d) a tensão produzida pelo conversor. Por fim na Figura 3.11(e) temos a tensão nos bancos de condensadores.

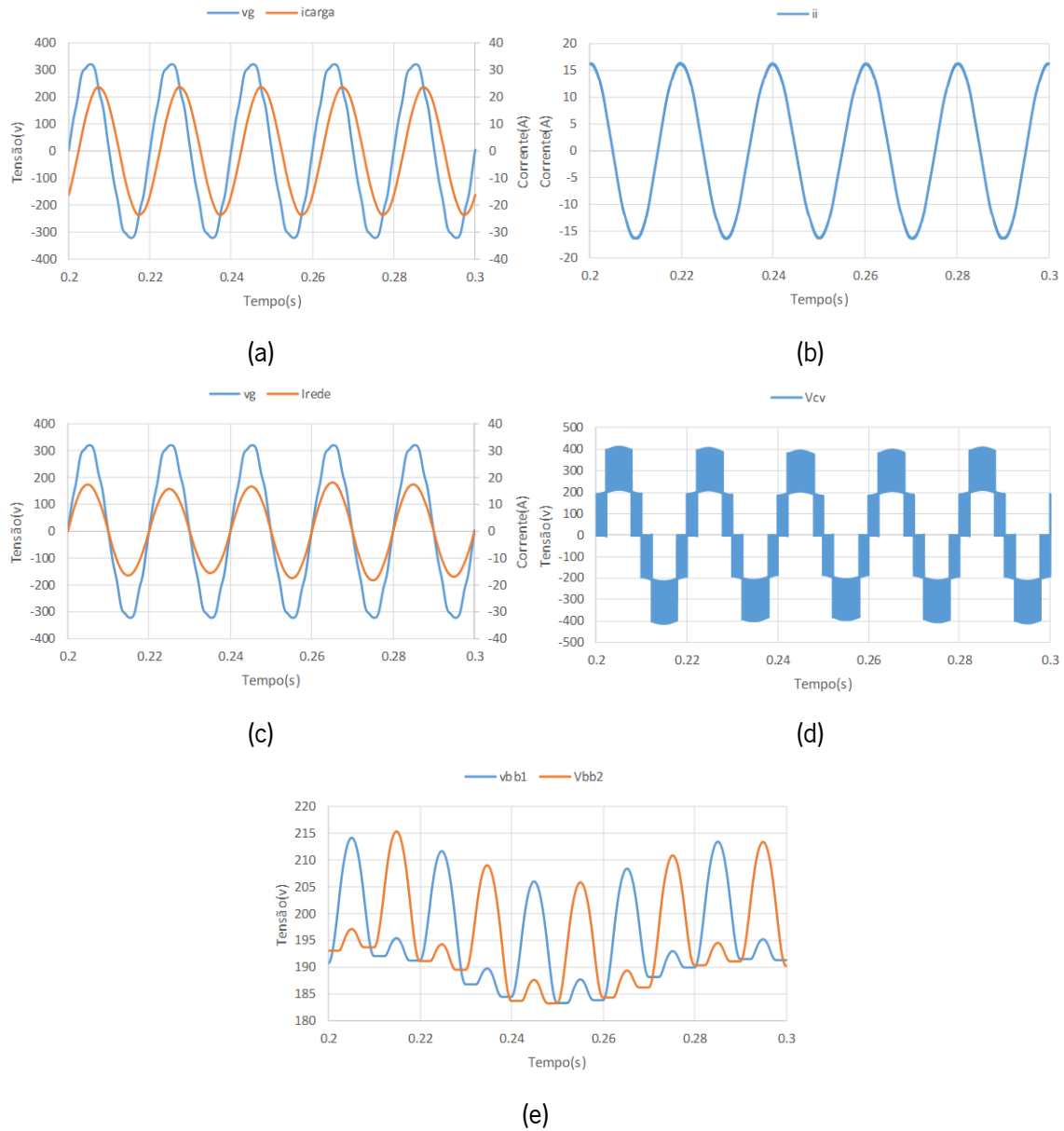


Figura 3.11. Conversor operando como FAP compensando o fator de potência: (a)tensão e corrente na carga; (b)corrente produzida pelo conversor; (c)tensão e corrente da rede elétrica; (d)tensão do conversor; (e)tensões nos bancos de condensadores.

3.5 Conclusão

Neste capítulo foram apresentados os resultados das simulações realizadas, que visaram o estudo do comportamento do sistema a implementar.

Apresentou-se a topologia de conversor CC-CA escolhida, tratando-se de um conversor CC-CA multinível. Também se apresentou os algoritmos de controlo utilizados para a implementação do sistema de controlo, mostrando o controlo para o barramento CC, o cálculo da corrente de compensação e o controlo de corrente utilizados.

De seguida apresentou-se os resultados obtidos em simulação, observando o comportamento do conversor CC-CA operando como FAP, mitigando os problemas de QEE associados. Para observação então do sistema, observou-se a resposta dinâmica do sistema, a compensação harmónica e a correção do fator de potência.

Capítulo 4

Desenvolvimento do Hardware do Filtro Ativo Paralelo Monofásico com Inversor Multinível

4.1 Introdução

Neste capítulo é descrito todo o processo de desenvolvimento e implementação do sistema de controlo do conversor CC-CA operando como FAP. Deste modo, são apresentadas as placas de circuito impresso (*Printed Circuit Board* - PCB) desenvolvidas, onde é implementado o condicionamento de sinal e proteções, bem como o circuito de *driver* dos semicondutores de potência. São abordados os sensores de tensão e corrente utilizados, bem como os cálculos efetuados para o dimensionamento dos componentes a utilizar nos circuitos de instrumentação, proteção e *driver* dos semicondutores. É também introduzido o microcontrolador utilizado.

Ainda neste capítulo, descreve-se a implementação do andar de potência, mais especificamente do conversor CC-CA. Será apresentada a primeira PCB de potência desenvolvida, que teve como base a disposição dos componentes e a deteção de erros efetuados para que por fim se tenha conseguido desenvolver uma PCB de potência o mais compacta possível. Posto isto, é apresentado os constituintes do conversor CC-CA, descrevendo o semiconductor utilizado, a proteção de *gate* e a resistência de *gate*. É também apresentado os condensadores do barramento CC, a bobina utilizada para efetuar o acoplamento há rede elétrica e os condensadores de desacoplamento utilizados.

4.2 Microcontrolador

Na eletrónica de potência é necessário um elemento responsável por comandar os processos para o correto funcionamento do sistema onde está integrado. No caso de um FAP, é necessário efetuar uma sincronização com a rede elétrica, bem como produzir as correntes definidas, assim é necessário realizar uma leitura das grandezas físicas e operações matemáticas em tempo real.

Este dispositivo tem de ser capaz de realizar a leitura de valores digitais e grandezas físicas por intermédio de um conversor analógico-digital (*Analogue to Digital Converter* - ADC), este também tem de ser eficiente na execução de operações matemáticas básicas e complexas e permite a aplicação de sinais lógicos de PWM. Normalmente estes dispositivos suportam protocolos de comunicação como

o *Serial Peripheral Interface* (SPI) ou o *Control Area Network* (CAN), proporcionando a comunicação com outros dispositivos, tornando útil para realizar monitorizações por exemplo.

Para então implementar o controlo, utilizou-se o DSP do fabricante *Texas Instruments*, sendo o modelo designado *TMS320F28335* [65]. Este DSP é constituído por um processador de 32 bits, apresentando uma frequência de *clock* de 150 MHz, tendo também integrado 16 canais de ADC com uma resolução de 12 bits e 18 canais de PWM com a possibilidade de os configurar em pares complementares com *dead-time*.

Este apresenta um suporte nativo para operações em vírgula flutuante (*Floating-Point*), que permite a realização de cálculos matemáticos com números decimais num tempo mais reduzido, bem como uma maior resolução em comparação a processadores do tipo *fixed point*. Apesar de um processador de operações inteiras apresente um valor mais baixo, este pode não ser viável para a implementação do sistema de controlo que necessite de uma grande quantidade de cálculos que envolva números decimais.

A programação desta DSP é feita utilizando linguagem C através do software *Code Composer Studio* disponibilizado pela *Texas Instruments*. Na Figura 4.1 têm a DCS utilizada, bem como a PCB de suporte da mesma, desenvolvido pelo GEPE.

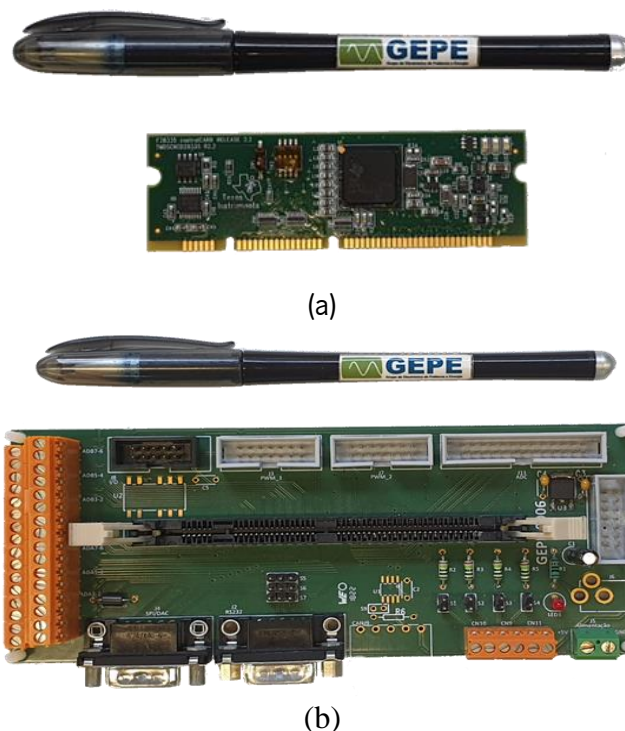


Figura 4.1. .Placa de desenvolvimento: (a) DSP da texas *TMS320F28335*; (b) PCB de suporte da DSP.

4.3 Sensor de Tensão

Para o funcionamento do conversor CC-CA como FAP é necessário adquirir determinados valores de tensão, nomeadamente a tensão da rede e as tensões no barramento CC, uma vez que este se encontra dividido em dois. Visto que estes apresentam níveis de tensão elevados (na casa das centenas de Volts), é obrigatório utilizar elementos capazes de adquirir cada uma das tensões necessárias, transformando-as em níveis legíveis para os ADCs do DSP sem ocorrer a danificação dos mesmos. Para tal, o isolamento galvânico assume um papel importante, porque torna-se imprescindível.

Então para efetuar a medição das tensões pretendidas para o bom funcionamento do conversor, foi utilizado sensores de tensão de efeito de Hall do fabricante *ChenYang Technologies* designado CYHVS5/25A [66]. Este sensor permite efetuar medições num valor máximo de 2 kV, quer tensões CC ou tensões CA, fornecendo também um isolamento galvânico até 2,5 kV num intervalo de tempo de um minuto. Para operarem corretamente, eles precisam de ser alimentados com tensões de 15 V e -15 V. Na Figura 4.2 observa-se então o diagrama do sensor, bem como uma imagem do mesmo.

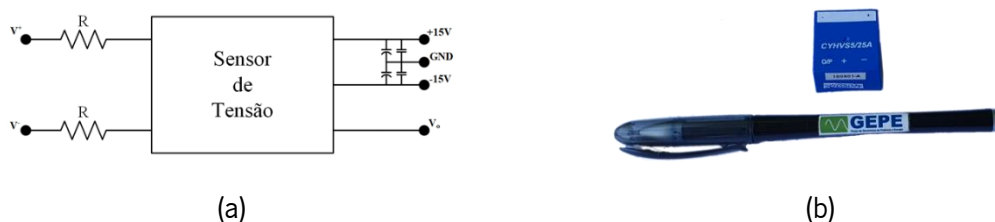


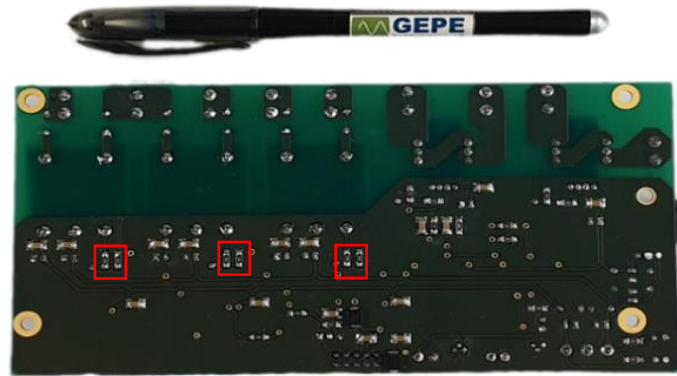
Figura 4.2. Sensor de tensão CYHVS5/25A: (a) Representação em diagrama; (b) Imagem do sensor.

Para a realização da medição, é essencial utilizar resistências de medida do lado primário e o lado secundário do sensor. No lado primário liga-se os terminais da tensão que se deseja medir, em que neste lado o sensor possui uma corrente nominal de 5 mA RMS, sendo que na escolha da resistência se garanta que a corrente que a percorre não transponha este valor. Este sensor apresenta uma razão de espiras de 1000:5000, a corrente nominal do secundário é de 25 mA RMS. Visto que a saída do sensor é em corrente, torna-se necessário utilizar uma resistência de medida do lado secundário de modo a obter uma saída sob a forma de tensão para posteriormente ser lida pelo ADC.

De modo a integrar os sensores de tensão no sistema, foi desenvolvida uma PCB onde se inseriu os sensores. Na Figura 4.3 (a) pode-se ver a PCB onde foram inseridos os sensores de tensão, sendo visível as resistências do lado primário, enquanto na Figura 4.3 (b) as resistências do lado secundário.



(a)



(b)

 Figura 4.3. PCB onde foi incorporado os sensores de tensão: (a) top da PCB; (b) *bottom* da PCB.

Como descrito acima, é necessário três sensores de tensão para o funcionamento do sistema. Assim, segue-se o dimensionamento das resistências de entrada e de saída de cada sensor, começando pelo responsável por medir a tensão da rede. O valor RMS da tensão da rede nas condições normais de funcionamento varia no intervalo compreendido entre $230\text{ V} + 6\%$ e $230\text{ V} - 10\%$ e tendo em conta os valores *standard* das resistências, foram utilizadas duas resistências de $27\text{ k}\Omega$ em série, totalizando uma resistência de entrada (R_i) de $54\text{ k}\Omega$. Através da equação (4.1) pode calcular-se o valor de tensão nominal do sensor.

$$V_N = R_i I_N \quad (4.1)$$

Visto que a corrente nominal do primário (I_N) é de 5 mA RMS , a tensão nominal do sensor da tensão da rede é de 270 V RMS , permitindo efetuar a leitura de valores instantâneos de tensão até $\pm 381,838\text{ V}$. Devido à dissipação de potência ser considerável, as resistências utilizadas deverão ser dimensionadas para o efeito. Ao aplicar a lei de Joule, representada na equação (4.2), verifica-se que a potência média dissipada pelo par resistivo é de $1,35\text{ W}$ à corrente nominal. Por este motivo, justificou-se a utilização de duas resistências de entrada ao contrário de apenas uma resistência de entrada, distribuindo assim a potência dissipada pelas duas resistências.

$$P = R I^2 \quad (4.2)$$

Em relação ao lado secundário as resistências de saída foram obtidas de modo a reduzir um pouco a gama de valores lidos. Se usar um $R_1=100\ \Omega$ e um $R_2=75\ \Omega$, obtendo uma saída em tensão de $\pm 2,5\text{ V}$.

Para os dois sensores de tensão do barramento CC, recorreu-se ao mesmo método utilizado para o sensor de tensão da rede. No lado primário, utilizou-se duas resistências de $27\text{ k}\Omega$ em série, tendo como tensão nominal 270 V RMS que corresponde a $381,938\text{ V}$ de pico, sendo a tensão nominal do barramento CC 200 V . No caso das resistências de saída recorreu-se há ferramenta de *PSIM* para ajudar no seu dimensionamento. Uma vez que a soma das duas têm de estar compreendida dentro da gama de valores do sensor ($100\ \Omega$ até $350\ \Omega$), utilizou-se então um $R_1=100\ \Omega$ e $R_2=120\ \Omega$.

4.4 Sensor de Corrente

À semelhança dos sensores de tensão, os sensores de corrente são necessários para o correto funcionamento do sistema, uma vez que consiste na injeção da corrente de compensação do FAP. Desta forma, é necessário dois sensores de corrente, um para medir a corrente de saída do FAP e o outro para medir a corrente nas cargas. Como referido nos sensores de tensão, o isolamento galvânico é importantíssimo, visto que as correntes medidas podem tomar valores de dezenas de Amperes.

Para responder às necessidades do sistema, recorreu-se a sensores de corrente de efeito de Hall do fabricante *LEM* designado *LTSR 15-NP* [67]. Estes são capazes de medir correntes CC ou CA, apresentando um isolamento galvânico até 3 kV num minuto e este pode medir até $\pm 48\text{ A}$. Consoante a gama de valores a medir existem três configurações que permitem diminuir a gama de medição, aumentando assim a sensibilidade do mesmo. Neste caso, usou-se a configuração de $7,5$, visto que os valores medidos estão dentro da gama desta configuração, assim aumentou-se a sensibilidade de modo a obter leituras mais precisas.

Este sensor dispensa o uso de resistências de medida, isto porque a sua saída é em tensão ao contrário do sensor de tensão. Então o uso de resistências fica confinado à parte do condicionamento de sinal, descrito na secção adequada. Na Figura 4.4 (a) tem-se o diagrama referente ao sensor, enquanto que na Figura 4.4 (b) apresenta-se uma imagem do mesmo.



Figura 4.4. Sensor de corrente LTSR 15-NP: (a) Representação em diagrama; (b) Imagem do sensor.

A sua alimentação dispensa também tensões negativas, sendo apenas alimentado a 5 V. Na Figura 4.5 apresenta-se a integração do sensor de corrente na PCB desenvolvida.



Figura 4.5. Sensor de corrente: top da PCB desenvolvida onde foi incorporado.

Uma vez que a saída do sensor é em tensão, a equação (4.3) exprime a tensão de saída do sensor (V_{out}) em função da corrente medida no primário (I_P), da corrente nominal do primário (I_{PN}) e da tensão de referência (V_{ref}), que toma o valor de 2,5 V. A corrente nominal do primário toma o valor igual a 7,5 A devido à configuração escolhida.

$$V_{out} = V_{ref} \pm 0,625 \frac{I_P}{I_{PN}} \quad (4.3)$$

Assim pode-se observar se as correntes medidas estão dentro da gama de medição para a configuração escolhida. A saída do sensor (V_{out}) varia entre 4,5 V e 0,5 V.

4.5 Placa de Condicionamento de Sinal

Após a leitura das variáveis necessárias do sistema utilizando os sensores, é necessário tornar os valores de saída destes em valores suportados pelos ADCs da DSP, uma vez que estes trabalham com uma gama de valores compreendida entre 0 V e 3 V. Então, o condicionamento de sinal tem um papel importantíssimo na aquisição das variáveis do sistema. Outro aspeto a ter muita atenção é a utilização de proteções, de modo a proteger o sistema, bem como pessoas em caso de existir componentes que apresentem risco de explosão. Com isto, em caso de falha do sistema a proteção irá atuar, suspendendo a operação do sistema, mantendo a sua integridade. A proteção atua quando se verifica uma sobretensão e/ou uma sobrecorrente em qualquer variável medida do sistema. Para realizar esta proteção pode-se recorrer à hardware ou à software, sendo que em variáveis críticas esta deve ser feita recorrendo aos dois métodos, minimizando a possibilidade de falhas. A atuação da proteção, o sistema só volta ao funcionamento depois do utilizador o determinar.

Foi então desenvolvida uma PCB de condicionamento de sinal englobando a instrumentação para o ajuste dos valores lidos, bem como a proteção da variável crítica do sistema. A implementação

da mesma teve em conta também a DSP utilizada, utilizando os *headers* adequados para a ligação entre as duas seja realizada de forma simples. Na Figura 4.6 observa-se então a PCB desenvolvida tanto o *top* como o *bottom* da mesma.

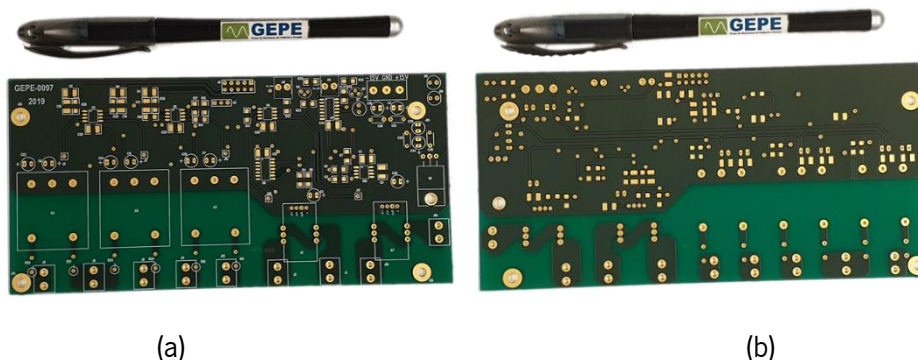


Figura 4.6. PCB desenvolvida para o condicionamento de sinal: (a) *top* da PCB; (b) *bottom* da PCB.

Na Figura 4.7 a PCB já se encontra com todos os componentes soldados, tanto no *top* como no *bottom*.

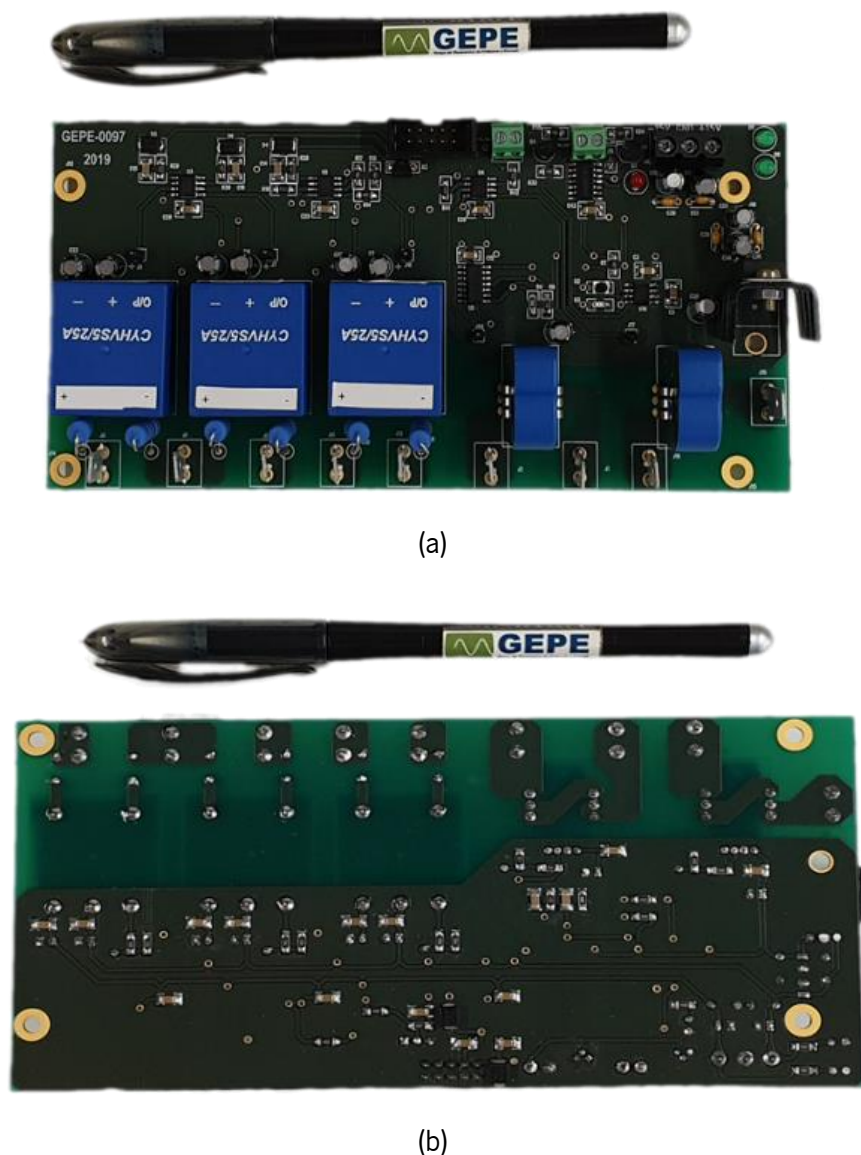


Figura 4.7. PCB desenvolvida com todos os componentes soldados: (a) *top* da PCB; (b) *bottom* da PCB.

A quando os primeiros testes reparou-se que o regulador de tensão utilizado, o *LM7805* sobreaquecia, uma vez que este tinha como função fornecer os 5 V para componentes nesta PCB, mas também alimentar a PCB de suporte à DSP [68]. Posto isto, substitui-se este regulador linear, por um regulador comutado, o *OKI-78SR* [69].

4.5.1 Condicionamento de Sinal

Para os sensores de tensão foram utilizadas duas montagens, uma para o sensor de tensão que mede a rede, tensão alternada, e uma para os sensores de tensão contínua. Isto, deve-se ao facto de no sensor de tensão alternada existirem valores negativos, sendo então necessário somar um *offset* ajustando depois o nível de tensão. Nos sensores de corrente apenas é necessário adequar o nível de tensão, uma vez que estes na sua saída apresentam sempre valores positivos.

Na montagem do sensor de tensão alternada, foi então utilizado um amplificador somador não-inversor, recorrendo a um amplificador operacional, para efetuar o deslocamento do sinal. Na Figura 4.8 está representado o amplificador operacional na montagem referida, bem como as resistências de medida do sensor de tensão.

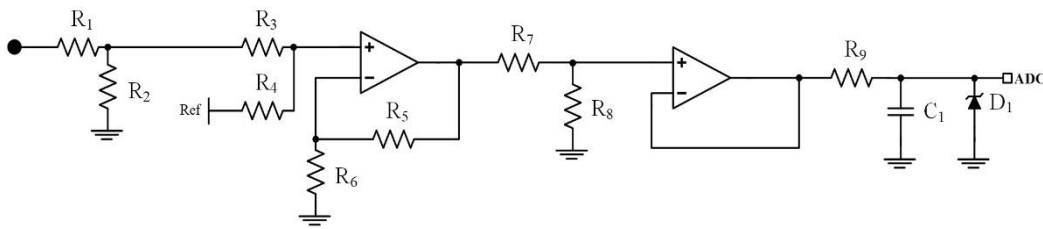


Figura 4.8. Resistências de medida do sensor de tensão alternada, o amplificador somador não-inversor e o seguidor de tensão com o filtro passivo e o diodo de *zener* de proteção do ADC.

Foi então utilizado o amplificador operacional da *Texas Instruments*, designado de *LM358*, e para gerar a referência de 2,5 V, uma vez que esta têm de ser o mais precisa possível, foi utilizado o regulador *LT1009*, visto que este apresenta um desvio máximo de ± 5 mV [70],[71]. De modo a obter a tensão de saída (v_s) em função da tensão de entrada (v_i) e da tensão de referência (v_{ref}), recorreu-se à equação (4.4).

$$v_s = \left(1 + \frac{R_6}{R_5}\right) \left(\frac{R_3}{R_3 + R_4} v_{ref} + \frac{R_4}{R_3 + R_4} v_i\right) \quad (4.4)$$

Simplificando o dimensionamento da montagem, considerou-se que todas as resistências fossem iguais, ou seja, $R_6 = R_5 = R_3 = R_4$ tomando o valor de $10\text{k}\Omega$, tendo então na sua saída uma onda compreendida entre 0 V e 5 V. Posto isto, recorreu-se a um divisor resistivo, de modo a que a onda de saída fique dentro da gama de valores lido pelo ADCs.

Em relação aos sensores de tensão do barramento CC, que medem tensões contínuas, apenas é necessário um divisor resistivo, ou seja, as resistências de medida abordadas na secção 4.3. Assim

obtem-se uma gama de valores compreendida entre 0 V e 3 V, sendo possível os ADCs efetuar a sua leitura. Uma vez que o nível de tensão de saída é legível para o ADC, o uso do amplificador somador não-inversor torna-se dispensável. Na Figura 4.9 está representado o condicionamento de sinal dos sensores de tensão continua.

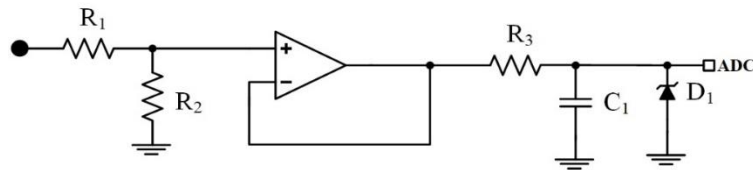


Figura 4.9. Resistências de medida do sensor de tensão continua e o seguidor de tensão com o filtro passivo e o diodo de *zener* de proteção do ADC.

Para os sensores de corrente utiliza-se o mesmo procedimento usado nos sensores de tensão continua. Uma vez como referido na secção 4.4, a saída dos sensores de corrente é dada em tensão, sendo que a esta apresenta um valor médio de 2.5 V. Posto isto, o condicionamento de sinal dispensa o uso do amplificador somador não-inversor. De modo a ajustar para a gama de valores lida pelo ADC, utilizou-se um divisor resistivo, tendo-se utilizando a equação (4.3) para constatar a tensão de saída do sensor, onde para ajustar a gama o $R_1=7.5\text{ k}\Omega$ e $R_2=11\text{ k}\Omega$. Este procedimento igualmente aplicado para o outro sensor de corrente utilizado. Na Figura 4.10 está representado o condicionamento de sinal dos sensores de corrente.

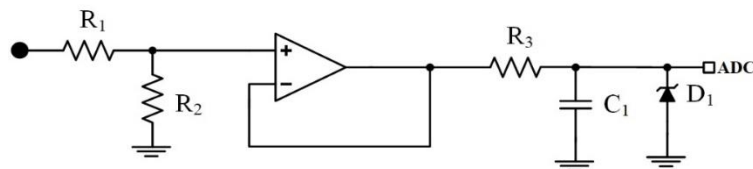


Figura 4.10. Sensor de corrente com o divisor resistivo e o seguidor de tensão com o filtro passivo e o diodo de *zener* de proteção do ADC.

Contudo, antes do valor ser lido pelo ADC, foi adicionado um seguidor de tensão, utilizando o amplificador operacional, tendo como função introduzir uma alta impedância, criando um isolamento de modo a proteger a DSP. No caso dos sensores de corrente e nos sensores de tensão continua, encontra-se depois do divisor resistivo e no sensor de tensão alternada encontra-se depois do divisor resistivo utilizado na saída do amplificador somador não-inversor. Ainda para minimizar a presença de ruído, é fundamental efetuar uma filtragem analógica dos sinais, evitando leituras erradas por parte dos ADCs. Desta maneira, foi projetado um filtro passa-baixo RC para cada sinal de ADC. Utilizando a equação (4.5) define-se uma frequência de corte.

$$f_c = \frac{1}{2\pi RC} \quad (4.5)$$

Definindo uma frequência de corte de 10 kHz e um condensador de 100 nF, obtém-se uma resistência de 159,15 Ω , mas indo de encontro aos valores standard, foi utilizado uma resistência de

160 Ω . A escolha do valor da frequência de corte deve ser feita algumas décadas acima da frequência do sinal, de modo a evitar desvios de fase. Mas tendo em atenção que uma escolha de uma frequência de corte muito elevada, o ruído do sinal não será atenuado.

Outra proteção usada, foi a utilização de díodos de *zener* para proteger os ADCs da DSP contra tensões excessivas e tensões negativas, capazes de danificar a mesma. Este diodo de *zener* encontra-se entre a saída do filtro e a massa do circuito. Utilizou-se então um diodo de *zener* de 4,3 V, uma vez que este começa a atenuar o sinal para um valor mais baixo da sua tensão, garantindo uma boa proteção e o correto funcionamento do sistema. Nas Figura 4.8, Figura 4.9 e Figura 4.10 encontra-se já representado o esquema do seguidor de tensão, bem como o filtro passivo e o diodo de *zener*, onde a tensão v_s resulta do condicionamento de sinal de cada respetivo sensor e v_{ADC} representa a tensão lida pelo ADC.

4.5.2 Proteção

A utilização de proteções num sistema como já citado assume um papel importantíssimo devido aos níveis de potência que o sistema opera. Para tal recorre-se a proteções por hardware e software. Para então proteger o sistema, têm que se identificar as anomalias que podem acontecer no sistema em funcionamento. Uma vez que as grandezas medidas passam por tensões e correntes, as anomalias então são as sobretensões e sobrecorrentes.

No caso a única variável que apresenta erro por hardware, é a corrente à saída do conversor CC-CA, visto se tratar da variável mais crítica do sistema e a mais problemática, uma vez que ocorrendo uma sobrecorrente irá danificar gravemente o sistema. O mecanismo de deteção de erros implementado consiste num comparador em janela. A operação consiste na definição de uma janela de valores, um limite superior e um limite inferior, em que estando os valores dentro dela a saída do comparador apresenta um valor lógico alto, quando o valor sai da janela definida a saída do comparador passa para um valor lógico baixo. Para definir os limites da janela recorre-se a um divisor resistivo, de notar que são necessários dois comparadores para cada grandeza, sendo um com o limite superior (ligado ao positivo do comparador) e o outro tendo o limite inferior (ligado ao negativo do comparador). Na Figura 4.11 observa-se a representação do esquemático do comparador em janela.

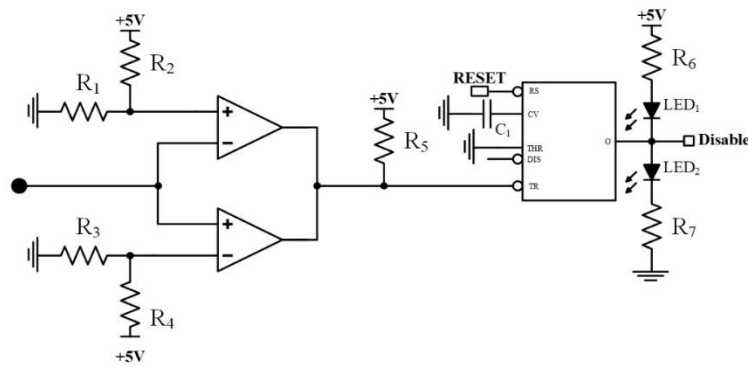


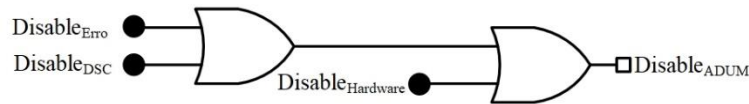
Figura 4.11. Circuito comparador em janela utilizado para a detecção de erros e o respetivo memorizador de erros.

O comparador usado foi o *LM339* da *Texas Instruments*, dado o facto de este possuir comparadores com as suas saídas em coletor aberto [72]. Com isto, na saída dos comparadores é necessário adicionar uma resistência de *pull-up* para o estabelecer o valor lógico alto.

O conversor CC-CA foi dimensionado para uma potência de 2,5 kW, o que obtém uma corrente de 10,87 A RMS, correspondendo a uma corrente de pico de 18,83 A. Então, para a janela foi definido os valores permitidos de corrente, tendo então os valores de estar entre ± 24 A. Usando a equação (4.3) calcula-se a tensão do limite superior e do limite inferior, uma vez que a saída do sensor de corrente é dada em tensão, tendo o limite superior 4,5 V e o inferior 0,5 V. A saída do sensor também apresenta um valor médio e como as correntes são simétricas, conclui-se que $R_1=R_4$ e $R_2=R_3$. Os valores então utilizados foram $R_1=R_4=10\text{ k}\Omega$ e $R_2=R_3=1,1\text{ k}\Omega$.

Após se garantir que o acontecimento de um erro se cesse o funcionamento, necessita-se de garantir que o sistema não volta ao funcionamento, sem que seja dada a ordem pelo utilizador. Para tal, é adicionado memória ao sistema analógico, memorizando caso ocorra um erro. Para esse fim, foi integrado no sistema o circuito integrado *NE555* da fabricante *Texas Instruments*, tratando-se de um dispositivo com vastas aplicações [73]. Este permite, gerar sinais de PWM, ondas triangulares e dente de serra, gerar tempos de atraso e funcionar como divisor de frequência ou como um interruptor monoestável. Contudo, este permite ainda operar como uma célula de memória, tendo como função alterar o seu nível lógico na saída aquando a existência de um erro, mantendo-se inalterada, independentemente do sinal do erro modificar, até haver um sinal de *reset* dado pelo utilizador.

Outro mecanismo para desabilitar as comutações, passa por dar o *disable* pela DSP, ou seja, a saída do *NE555* é ligada a uma porta OR de duas entradas, sendo a outra entrada então o *disable* por DSP [74]. Por fim a saída da porta lógica é ligada à entrada específica de habilitação dos *drivers*. De modo a ser visível o estado do erro foi adicionado dois leds, sendo um verde para indicar a ausência de erro e um vermelho para indicar que ocorreu um erro, é também incorporado na PCB um led vermelho na saída da porta lógica para indicar que não existe comutações dos semicondutores de potência. Na Figura 4.12 encontra-se representado o esquemático do circuito de *disable*.

Figura 4.12. Circuito de *disable*.

4.6 Circuito de *Driver*

Um sistema de eletrônica de potência é constituído por duas partes distintas, a parte de controlo e o andar de potência. Na parte de controlo existem os elementos dedicados ao controlo do funcionamento do sistema, como os microcontroladores, os circuitos de condicionamento de sinal e os circuitos lógicos. Estes elementos operam com baixas tensões e consomem correntes reduzidas, logo o nível de potência envolvido na parte de controlo é reduzido. Já no lado do andar de potência, temos os semicondutores de potência, os condensadores do barramento CC e as bobinas, ou seja, elementos que operam com tensões e correntes elevadas, resultando em níveis de potência significativamente superiores em comparação com a parte de controlo. Contudo ambas as partes do sistema precisam de ser interligadas, para tal recorre-se ao isolamento galvânico para manter a integridade do sistema e consequentemente do utilizador.

Para realizar esta ligação recorre-se a circuitos de *driver* dos semicondutores de potência. Isto porque a gate dos MOSFET ou dos IGBT, apesar de serem dispositivos controlados por tensão, apresenta uma capacitância que precisa de ser carregada ou descarregada conforme a intensão de colocar o dispositivo na saturação ou ao corte. Esta capacidade, quando está perante um degrau de tensão, responde com um pico de corrente, que pode ser superior aos níveis de corrente que operam na parte de controlo.

Outro aspeto a ter em conta, prende-se no facto de se utilizar dois semicondutores iguais ligados em série, sendo necessário o estabelecimento de referências de potencial adicionais. Isto porque, enquanto o semicondutor inferior do braço está sempre referenciado à massa do andar de potência, o semicondutor superior tem o seu terminal a flutuar (*source*/emissor), em que neste ponto a tensão varia ao longo das comutações, podendo ser nula ou ser igual à tensão do barramento CC do sistema. Deste modo, é necessário que a tensão aplicada à *gate* em relação à *source*/emissor do semicondutor superior se mantenha dentro dos valores adequados para o poder fazer comutar, como também esta referência de potencial tem de estar isolada das restantes, devido há tensão que se pode encontrar lá.

De maneira a permitir o funcionamento dos semicondutores e o isolamento entre a parte de controlo e o andar de potência, utilizou-se um *driver* do fabricante da *Analog Devices*, designado *ADUM3223*. Este *driver* é capaz de atuar em um braço de MOSFETs ou IGBTs, visto disponibilizar dois potenciais isolados. Este também garante o isolamento galvânico entre a entrada e a saída até 3 kV,

durante um minuto, e permite uma diferença entre as tensões do lado superior e inferior de 800 V. A alimentação pode ser feita a 3,3 V ou a 5 V e suporta uma corrente máxima de pico de 4 A à saída, bem como a possibilidade a comutação a altas frequências até 1 MHz. Possui uma entrada de *disable*, que quando adquire um nível lógico alto, desabilita as comutações mantendo as saídas em nível baixo independentemente dos sinais enviados para o *driver*. Em aspeto físico, este dispositivo trata-se de uma montagem superficial (SMD – *Surface Mounted Device*), contribuindo para um dos objetivos da dissertação de uma solução compacta [75].

Na alimentação das saídas do *driver* recorreu-se a fontes de alimentação externas, sendo utilizados conversores CC-CC isolados do fabricante *Murata Power Solutions* designado *MEJ1S1515SC*. Como indica na referência, a tensão de entrada é 15 V e a tensão de saída é de 15 V também, podendo a saída ser simples (*S*) ou dual (*D*). Este apresenta uma potência nominal de 1 W, com uma corrente máxima de saída de 66 mA e com uma corrente máxima de 85 mA na entrada. Este proporciona ainda um isolamento galvânico para uma tensão contínua de 5,2 kV [76].

De modo a reduzir o número de fontes isoladas em cada driver, utilizou-se uma configuração designada de *bootstrap* sendo assim necessário apenas uma fonte isolada, ao contrário de se usar uma para cada semiconductor. Esta configuração exige pouca eletrónica adicional, sendo necessário simplesmente um díodo, uma resistência (que pode ser desprezada dependendo dos casos) e condensadores, permite também manter os potenciais de massa independentes. A configuração encontra-se na Figura 4.13.

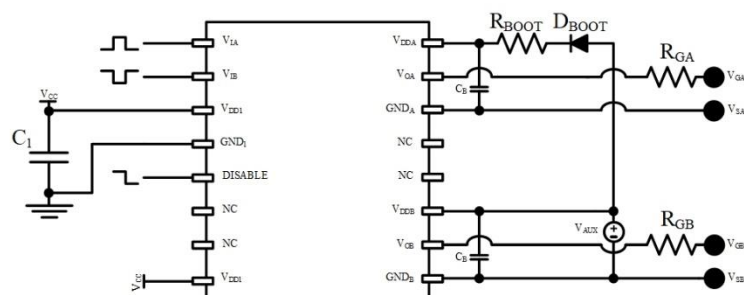


Figura 4.13. Circuito de bootstrap.

O funcionamento do *bootstrap* consiste em deslocar de forma alternada o potencial de massa entre os dois semicondutores de potência, consoante qual o semiconductor a conduzir. Ou seja, quando o semiconductor inferior se encontrar em condução, o diodo (D_{BOOT}) implementado no *bootstrap* fica diretamente polarizado, visto que o seu ânodo tem a mesma tensão da fonte de alimentação isolada (V_{AUX}) e por sua vez o cátodo se liga por intermédio de uma resistência (R_{BOOT}) ao condensador superior (C_{OA}) estando este referenciado ao ponto médio dos semicondutores de potência. Neste caso, a massa do semiconductor superior (GND_A) encontra-se ao mesmo potencial da massa inferior do circuito e também da fonte de alimentação isolada (GND_B). Com isto, é criado um caminho de

corrente pelo diodo e o semicondutor inferior, carregando assim o condensador C_{OA} . Quando se desliga o semicondutor inferior e o superior é posto em condução, o diodo fica inversamente polarizado, passando o potencial do GND_A a ser a tensão do barramento CC (V_{CC}). Desta forma, o GND_A e GND_B são independentes, permitindo o acionamento do semicondutor superior devido à tensão armazenada em C_{OA} , sendo este condensador que funciona como uma fonte de alimentação para a parte superior do *driver*.

Um aspeto a ter em atenção é as especificações do diodo (D_{BOOT}) a ser utilizado, particularmente a tensão inversa máxima, o tempo de recuperação inversa e a corrente máxima que este suporta. Quanto há tensão inversa, o diodo necessita de suportar tensões superiores à do barramento CC, isto porque quando não está a conduzir o cátodo tem o potencial do barramento CC do conversor de potência. No caso do tempo de recuperação inversa, tem de ser ter em conta a frequência de comutação, em que nas altas frequências este tempo não pode ser elevado. Por fim, a corrente máxima pode ser limitada através da resistência implementada no *bootstrap* R_{BOOT} .

Para esta aplicação, em que a frequência de comutação é de 100 kHz e a tensão nominal da soma dos dois barramentos CC é de 400 V, utilizou-se diodos designados *BY229*. Estes são capazes de suportar uma tensão inversa de pico de 600 V, apresentam um tempo máximo de recuperação inversa de 145 ns e uma corrente máxima de 8 A contínuos. Este em condução a queda de tensão máxima é de 1,85 V [77].

Em relação há resistência de *bootstrap*, tem como principal função limitar a corrente absorvida pelo condensador, estando o seu uso associado ao funcionamento a baixa frequência. Visto que se irá operar a altas frequências a resistência foi desprezada neste caso.

No caso para o dimensionamento do condensador de *bootstrap*, foi consultada uma *application note* sobre o assunto [78]. Posto isto, o primeiro passo passa por calcular a carga que o condensador deve fornecer durante o tempo em condução do semicondutor superior para o *duty-cycle* máximo. Para então calcular a carga total existem duas componentes, a alimentação da parte superior do *driver* e a carga requerida pela *gate* do semicondutor de potência, traduzindo assim na equação (4.6) seguinte.

$$Q_{total} = Q_G + DT_S I_{DD} \quad (4.6)$$

Consultando o *datasheet* do *driver* *ADUM3223*, retiramos que a corrente máxima consumida por cada terminal de alimentação do lado da potência (I_{DD}) é 8 mA. Considerando um período de comutação (T_S) de 5 ms e um *duty-cycle* máximo (D) de 100% obtemos que a carga necessária pela parte superior do drive é de 40 μ C. Já a carga da *gate* dos semicondutores de potência (Q_G) é de 17,3 nC. Assim sendo, a carga total fornecida pelo condensador superior (Q_{total}) é de 40,02 nC. Depois de calcular a carga fornecida pelo condensador superior, passamos para a escolha da capacidade do condensador,

em que temos também de ter em atenção ao *ripple* de tensão admissível. Então recorreu-se a equação (4.7) seguinte, demonstrando o valor mínimo de capacidade do condensador.

$$C_{min} = \frac{Q_{total}}{\Delta V_C} \quad (4.7)$$

A tensão de saída das fontes de alimentação isoladas é de 15 V, admitindo um *ripple* de 1%, tem-se que $\Delta V_C = 0,15 \text{ V}$. Com isto, obtemos a capacidade mínima (C_{min}) de 26.67 μF . Posto isto, utilizou-se um condensador eletrolítico de 47 μF aos terminais de cada alimentação, bem como um condensador cerâmico de 100 nF para a supressão de ruído. Na Figura 4.14 seguinte observamos a implementação dos *drivers* em PCBs

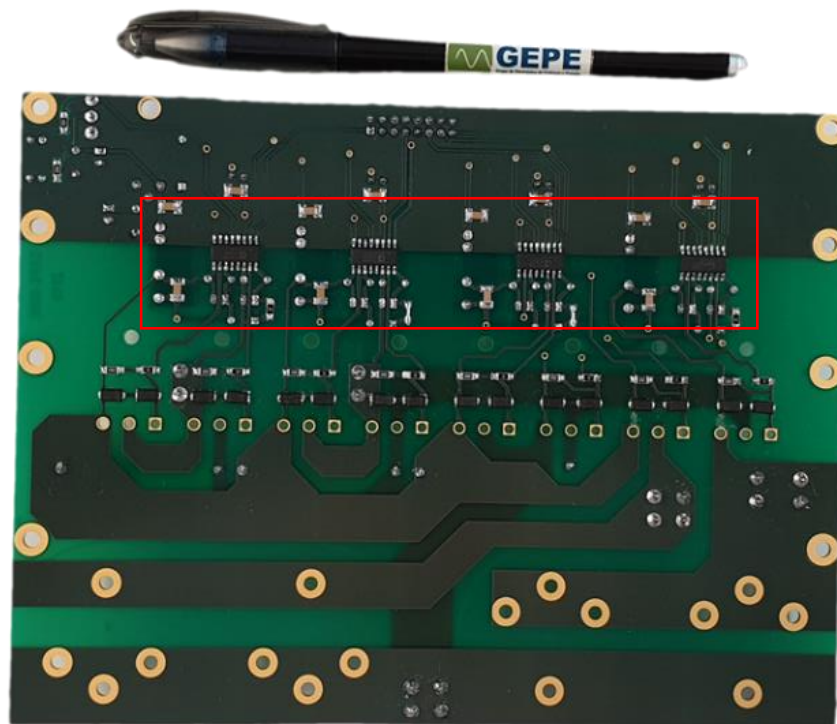


Figura 4.14. PCB desenvolvida onde foi inserido o circuito de *drive*.

4.7 Conversor CC-CA Multinível

Nesta secção é descrito o desenvolvimento da PCB do andar de potência onde também foi inserido os circuitos de driver. Nas secções seguintes será abordados os constituintes do conversor CC-CA que foram utilizados. Nomeadamente dos semicondutores de potência, abordando a resistência de gate e as proteções de gate utilizadas, os condensadores do barramento CC, a bobina de acoplamento à rede e os condensadores de desacoplamento.

O primeiro passo para o desenvolvimento da PCB, foi o definir o tamanho da PCB, podendo assim averiguar a arquitetura do sistema. Assim, desenvolveu-se uma PCB de dupla face onde além de integrar todos os componentes de potência do sistema, integrou-se ainda os circuitos de drive. Esta PCB foi desenvolvida no sentido de esta ficar na vertical, uma vez que assim o peso dos condensadores

do barramento CC não seriam suportados pela placa. Os semicondutores ficam no verso da mesma, sendo assim de fácil aceso para os mesmos e para mais tarde o acoplamento a um dissipador.

Posto isto, desenvolveu-se a primeira versão do *layout* da PCB, sendo impressa nas oficinas do departamento de electrónica da Universidade do Minho. Contudo, esta versão apresentou alguns erros, tendo de ser necessário corrigir os mesmos na própria placa. Porém, o facto da PCB apresentar alguns erros, aliado a oxidação do cobre e há danificação de alguns componentes nos primeiros testes, levaram a uma deterioração da mesma. Na Figura 4.15 temos a primeira versão da PCB desenvolvida.

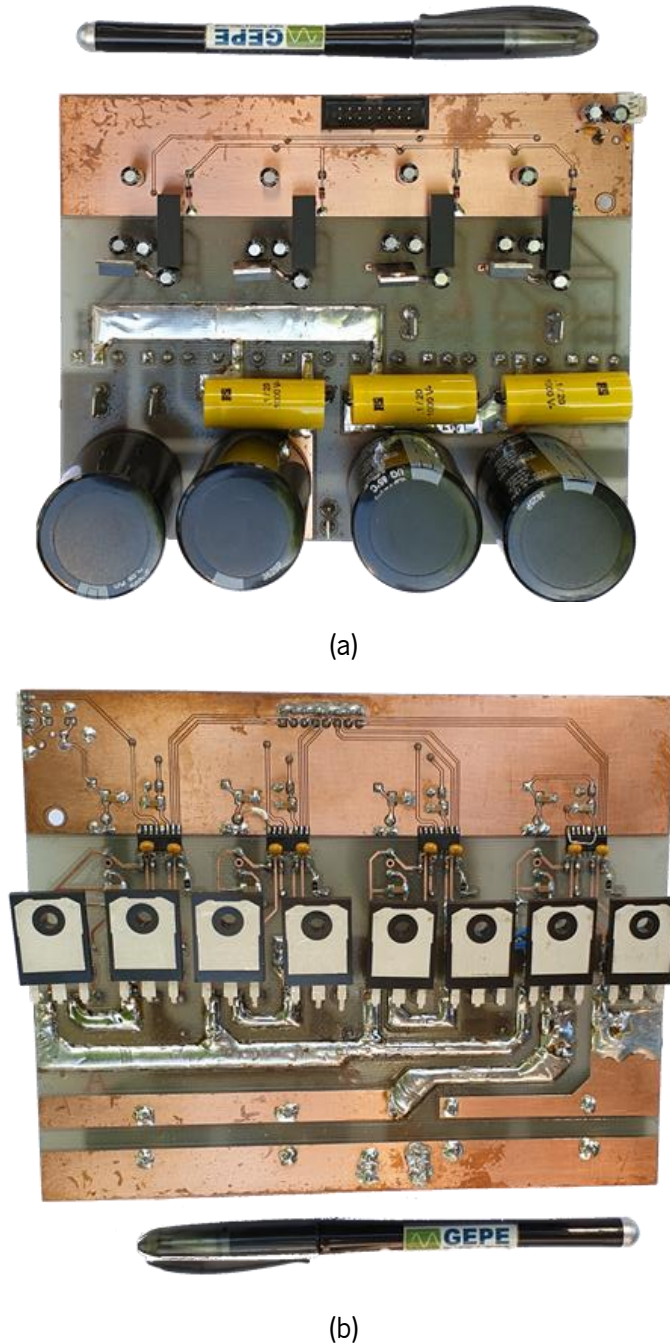


Figura 4.15. Primeira versão da PCB desenvolvida para o conversor CC-CA: (a) *top* da PCB; (b) *bottom* da PCB.

Posto isto, foi sugerido o desenvolvimento de uma nova versão da PCB. Uma vez que esta iria ser desenvolvida com uma melhor qualidade, redesenhou-se alguns pontos no *layout*, de maneira a tornar mais acessíveis pontos de teste, mas mantendo a estrutura/arquitetura da primeira versão.

Uma das grandes diferenças da primeira versão para esta segunda versão, prende-se na mudança de condensadores utilizados, passando de um barramento CC total de 2240 μF para um de 3280 μF . Isto levou a um aumento ligeiro da PCB, o que permitiu espaçar um pouco os circuitos de driver, aumentando assim o isolamento entre a parte de controlo dos drivers e a potência, bem como dispor alguns componentes para fazer de pontos de teste. Outra mudança feita foi a substituição da fonte isolada dos circuitos de driver, usando inicialmente uma *TMA0515S* da *Traco Power*, passando a usar como referido na secção 4.6 uma *MEJ1S1515SC* [79],[76]. Isto porque, o facto de a primeira fonte utilizada ser alimentada a 5 V, subcarregava um pouco o regulador de tensão usado, mais concretamente o *LM7805*, e apresentar um isolamento bastante baixo. Foi ainda incorporado leds para a alimentação e para o *disable*.

Na Figura 4.16 pode-se observar então a segunda versão da PCB desenvolvida, tendo uma imagem do *top* e do *bottom* da mesma.

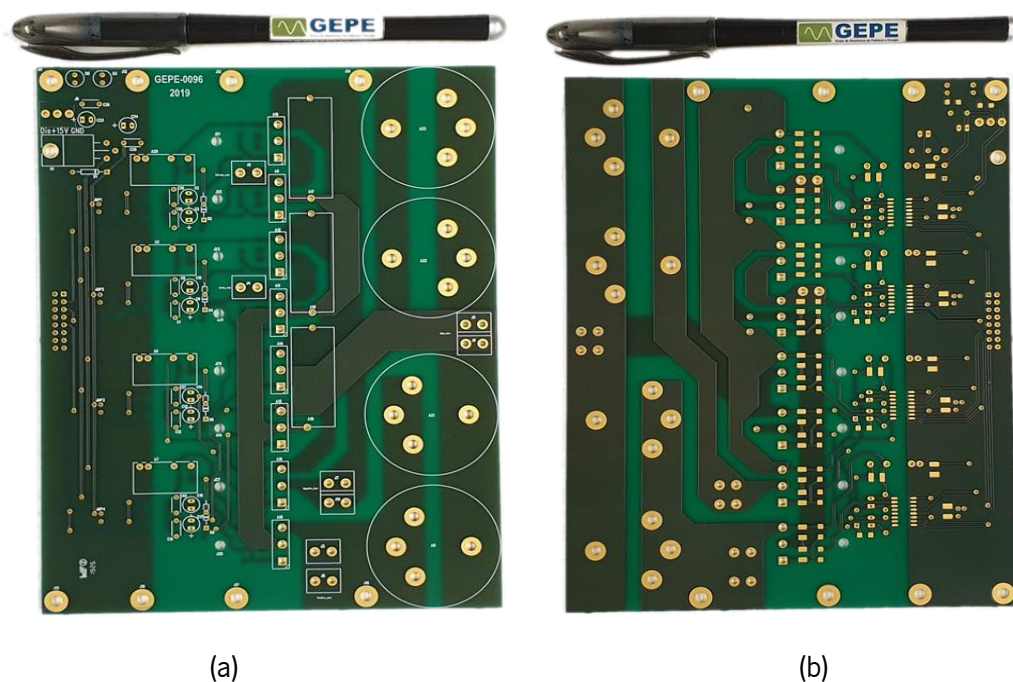
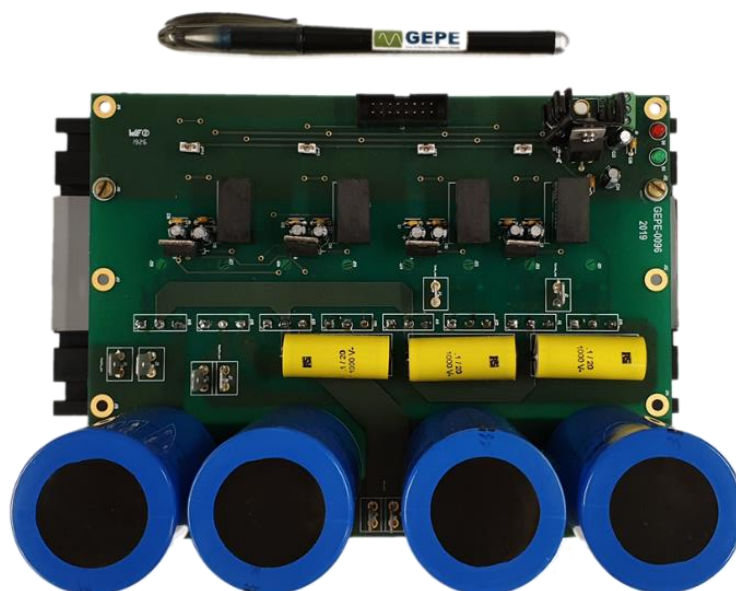


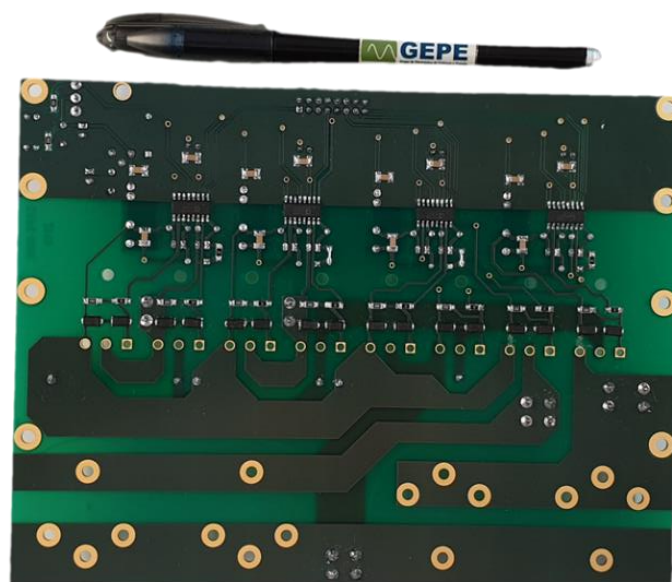
Figura 4.16. Segunda versão da PCB desenvolvida para o conversor CC-CA: (a) *top* da PCB; (b) *bottom* da PCB.

Na Figura 4.17 observa-se então a montagem da segunda versão da PCB, observando-se o *top* e o *bottom* da mesma. De realçar que na Figura 4.17 (b) ainda não se encontravam soldados os semicondutores, uma vez que primeiro foram fixados no dissipador e depois soldados na placa como se pode ver na Figura 4.18.

Na Figura 4.18 (a) tem-se os semicondutores fixados no dissipador, tendo na Figura 4.18 (b) o acoplamento destes com a PCB.



(a)



(b)

Figura 4.17. Segunda versão da PCB desenvolvida com todos os componentes soldados:

(a) *top* da PCB; (b) *bottom* da PCB.



(a)



(b)

Figura 4.18. (a) Dissipador com os semicondutores de potência; (b) PCB acoplada ao dissipador com os semicondutores.

4.8 Semicondutores de Potência

Um dos objetivos passava então pela utilização de eletrônica de potência em ascensão na atualidade, tendo sido feita uma pesquisa de semicondutores de potência recentes e disponíveis no mercado. A escolha destes tendo em conta os parâmetros do sistema, uma vez que os semicondutores têm que aguentar com o dimensionamento do conversor CC-CA. Isto é, este tem de aguentar com tensões de bloqueio, a frequência de comutação e a corrente máxima suportável. Outra característica bastante importante, reside na capacidade de *gate* do semicondutor de potência, uma vez que se esta apresentar um valor alto, impossibilita a comutação em tempo útil.

Foi então selecionado o semicondutor da fabricante *Wolfspeed*, tendo como referência a seguinte *C3M0120090D*. Trata-se de um MOSFET de carboneto de silício, mais designado por SiC, com uma corrente máxima de 23 A a 25 °C e têm uma tensão *dreno-source* máxima de 900 V. A sua gama de temperatura de funcionamento é entre os -55 °C e os 150 °C, este apresenta uma resistência máxima em condução de 155 mΩ e uma capacidade de *gate* de 350 pF. O diodo antiparalelo embutido no mesmo, apresenta um tempo de recuperação inversa de 24 ns, o que é bastante rápido. Fisicamente apresenta um encapsulamento TO-247-3, o que permite uma dissipação de potência de 97 W a uma temperatura de 25 °C [80]. Na Figura 4.19 temos o semicondutor de potência utilizado.



Figura 4.19. Semicondutor de potência.

4.8.1 Resistência de *Gate*

O terminal de *gate* de um MOSFET ou de um IGBT contém uma capacidade, sendo esta carregada quando é enviado o comando para conduzir (PWM têm o valor lógico alto) e descarregada quando se envia o comando para desligar (PWM têm o valor lógico baixo). Esta capacidade apresenta valores relativamente baixos, mas a aplicação de um pulso de tensão pode provocar picos de corrente, picos estes que podem chegar a alguns Amperes e chegar a danificar os *drivers*. De modo a resolver este problema utiliza-se uma resistência em série com a *gate*, permitindo a redução dos picos de corrente.

A escolha da resistência de *gate* é algo a ter em conta, uma vez que a ausência dela pode provocar *ringing* na tensão aplicada, devido à indutância parasita. Contudo uma resistência de *gate* alta, menor é o dv/dt , menor é a corrente fornecida e absorvida pelo drive e menor é o ruído

eletromagnético. Mas uma resistência de *gate* bastante alta, provoca mais perdas de comutação, bem como o tempo de ligar e desligar o semicondutor de potência aumenta, podendo impossibilitar a comutação a altas frequências. No caso dos semicondutores de potência utilizados, não foi utilizada resistência de *gate*, isto porque no *datasheet* do mesmo indica que este possui uma resistência de *gate* interna de $16\ \Omega$, sendo um valor aceitável para uma resistência de *gate*.

4.8.2 Proteções de *Gate*

Os semicondutores de potência também necessitam de proteções de *gate*, evitando que a *gate* seja danificada com valores excessivos de tensão. Observando o *datasheet* do semicondutor de potência utilizado, a tensão *gate-source* máxima é de $\pm 18\text{ V}$. De modo a proteger a *gate*, então das tensões excessivas, foram utilizados dois diodos de *zener* de 16 V com o ânodo em comum, protegendo assim a *gate* contra tensões superiores a $\pm 16\text{ V}$ [81]. É incorporado ainda uma resistência de *pull-down* entre a *gate* e a *source*, de forma a evitar comutações indesejadas devido a ruído presente na *gate* dos semicondutores de potência. Esta resistência garante que a tensão aplicada à *gate* é nula, quando o sinal de PWM se encontra no nível lógico 0. A resistência deve apresentar um valor alto em relação há resistência em série, de maneira a evitar que seja formado um divisor resistivo significativo, o que resultaria numa tensão aplicada à *gate* inferior à pretendida. Assim, o valor da resistência de *pull-down* escolhida foi de $20\text{ k}\Omega$. Na Figura 4.20 seguinte encontra-se então representado as proteções de *gate*, bem como a resistência em série anteriormente abordada.

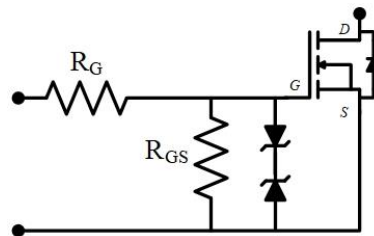


Figura 4.20. Proteção *gate-source*.

4.9 Barramento CC

De maneira a injetar energia na rede elétrica é necessário que o barramento CC, do conversor CC-CA do tipo VSI, seja capaz de armazenar uma grande quantidade de energia. Neste barramento CC é crucial que o *ripple* de tensão seja o menor possível, de modo a não afetar o correto funcionamento do conversor.

Para a constituição do barramento CC do conversor CC-CA foram utilizados condensadores eletrolíticos do fabricante *Vishay BC*, com a seguinte referência *MAL209527821E3* [82]. Estes apresentam uma capacidade $820\ \mu\text{F}$, suportando uma tensão de 450 V , sendo que foram utilizados

quatro condensadores em paralelo, fazendo uma capacidade de 3280 μF . Uma vez que o barramento CC se encontra dividido em dois a capacidade se encontra também dividida em dois. Na Figura 4.21 encontra-se uma fotografia do condensador utilizado.



Figura 4.21. Condensador utilizado no barramento CC.

4.10 Bobina de Acoplamento à Rede Elétrica

A bobina de acoplamento assume um papel importante na conexão entre a rede elétrica e o conversor CC-CA. Esta tem como função filtrar as altas frequências resultantes da modulação PWM. O valor de indutância influencia diretamente a filtragem, ou seja, quando maior o seu valor, menor é o *ripple* da corrente obtida. Contudo, para frequências de comutação relativamente altas, o valor de indutância não necessita de ser um valor elevado. Na Figura 4.22 tem-se a bobina utilizada para o acoplamento à rede elétrica.



Figura 4.22. Bobina de acoplamento com a rede elétrica

Com o aumento da frequência, como já referido, permite efetuar uma redução no valor da bobina de acoplamento à rede elétrica. Posto isto, e após a validação dos testes iniciais, a bobina acima descrita foi substituída por uma mais pequena. Na Figura 4.23 pode-se então observar a bobina. Esta é composta por 4 núcleos de pó de ferro e apresenta um valor de 703,77 μH , valor medido a 100 kHz na ponte RLC. Esta ao possuir 4 núcleos, permite que esta aguente com mais corrente, ou seja o valor da corrente de saturação aumenta. Como cada núcleo apenas permite correntes de 8 A, utilizando então 4 núcleos permite que esta aguente com a corrente nominal do sistema. De referir que o facto de o núcleo ser de pó de ferro, o valor da indutância pouco varia com a frequência.



Figura 4.23. Bobina de acoplamento com a rede elétrica de núcleo de pó de ferro

4.11 Condensadores de Desacoplamento

Foi implementado no sistema condensadores desacoplamento, de modo a proteger os semicondutores de potência de variações de tensão que possam surgir durante as comutações. Posto isto, o seu posicionamento foi o mais perto possível dos semicondutores de potência, sendo colocado um para cada braço, contudo foi utilizado apenas um para os semicondutores S_5 , S_6 , S_7 e S_8 .

Os condensadores utilizados são do fabricante *kemet*, tendo uma capacidade de $0.1 \mu\text{F}$ e uma tensão máxima de 1000V [83]. Tendo na Figura 4.24 o condensador utilizado para o desacoplamento.



Figura 4.24. Condensador de desacoplamento.

4.12 Conclusão

Neste capítulo foi então apresentado o sistema de controlo do FAP com topologia multinível. Foi apresentado a DSP utilizada para efetuar o processamento dos dados, os sensores de tensão e de corrente, descrito os circuitos de condicionamento de sinal e os circuitos de proteção e o circuito de driver. Foi também apresentado os cálculos efetuados para o dimensionamento das resistências dos sensores, bem como o dimensionamento do condicionamento de sinal e circuito de drive, designado de *bootstrap*, utilizado. Foi também apresentado o circuito de deteção de erros para a proteção do sistema, bem como um circuito capaz de efetuar a memorização do erro, mantendo assim a integridade do sistema.

Uma vez que um dos objetivos da dissertação passa pelo desenvolvimento de um sistema compacto, a PCB de controlo do sistema foi desenvolvida no âmbito desta dissertação. Uma das formas de restringir o tamanho da mesma, passou por utilizar a dimensão da PCB de suporte da DSP, que já se encontrava desenvolvida pelo GEPE. Assim, de modo a otimizar o espaço, pode-se alocar uma PCB em cima da outra, diminuindo o espaço utilizado pelas duas.

Outro ponto que se teve em consideração no desenvolvimento da PCB de controlo, foi o facto de se ter privilegiado os componentes SMD, permitindo assim também diminuir o tamanho da mesma.

Ainda neste capítulo também se descreveu o andar de potência do conversor CC-CA com topologia multinível. Foi apresentando então a primeira e segunda versão da PCB de potência desenvolvida. Descreveu-se os semicondutores utilizados, tendo estes um papel importante no desenvolvimento e no resultado do conversor. Apresentou-se as proteções de gate, bem como a resistência de gate utilizada. Outros componentes essenciais ao sistema foram apresentados, como os condensadores do barramento CC, a bobina de acoplamento com a rede elétrica e os condensadores de desacoplamento.

Como já referido anteriormente, o facto de um dos objetivos da dissertação passar pelo desenvolvimento de um sistema compacto, a PCB de potência também foi desenvolvida no âmbito desta dissertação. No caso desta PCB, a sua dimensão foi tida em conta, em relação à altura das outras duas PCBs descritas também nesta secção. Tendo como principal objetivo o fácil acondicionamento das mesmas, numa caixa compacta.

Capítulo 5

Resultados Experimentais do Filtro Ativo Paralelo Monofásico com Inversor Multinível

5.1 Introdução

Neste capítulo são apresentados e analisados os resultados experimentais obtidos nos testes realizados ao sistema implementado. Os testes realizados visam a validação do sistema como um todo, sendo que inicialmente se procedeu com a validação da sincronização com a tensão da rede elétrica e com a validação da técnica de controlo de corrente. Posteriormente, realizaram-se testes ao conversor CC-CA operando como FAP.

Inicialmente, os testes realizados foram com valores de tensão e de correntes inferiores aos nominais, permitindo assim garantir a integridade do hardware desenvolvido e a segurança dos utilizadores. À medida que se validou o sistema, os níveis de tensão e de corrente foram aumentados progressivamente.

5.2 Resultado da Sincronização com a Rede Elétrica

Para testar o desempenho e o sincronismo da PLL recorreu-se ao sensor de tensão usado para a leitura da tensão da rede elétrica. Inicialmente, testou-se a baixa tensão de modo a validar o condicionamento de sinal. Após esta validação inicial realizou-se o teste com a tensão nominal. Para a validação deste teste recorreu-se a um DAC externo desenvolvido pelo GEPE. Na Figura 5.1 encontra-se, então, o resultado da leitura do ADC da DSP da tensão da rede elétrica, bem como a PLL formada com a mesma amplitude da rede e uma outra PLL de valor unitário. De notar que a PLL unitária foi multiplicada por uma constante, de modo a que na saída do DAC apresente uma onda compreendida numa divisão numa escala de 1 V/div. Na Figura 5.1, a vermelho, temos os valores lidos pelo ADC da DSP e a verde temos então a PLL com a mesma amplitude da tensão da rede. A azul temos a PLL unitária, sendo esta a PLL utilizada para o controlo.

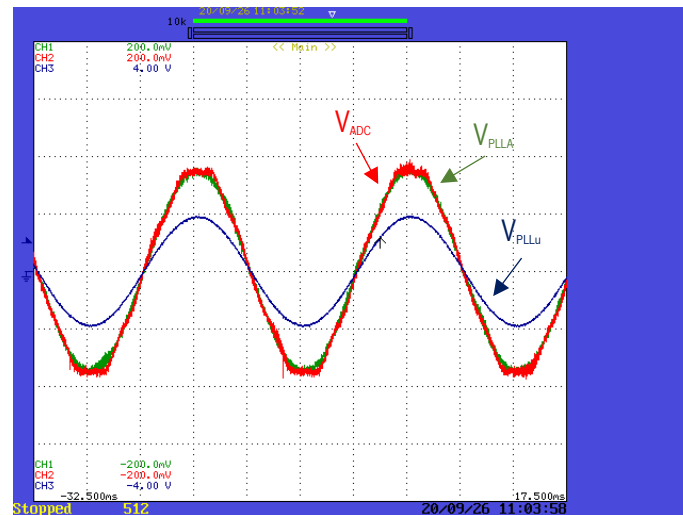


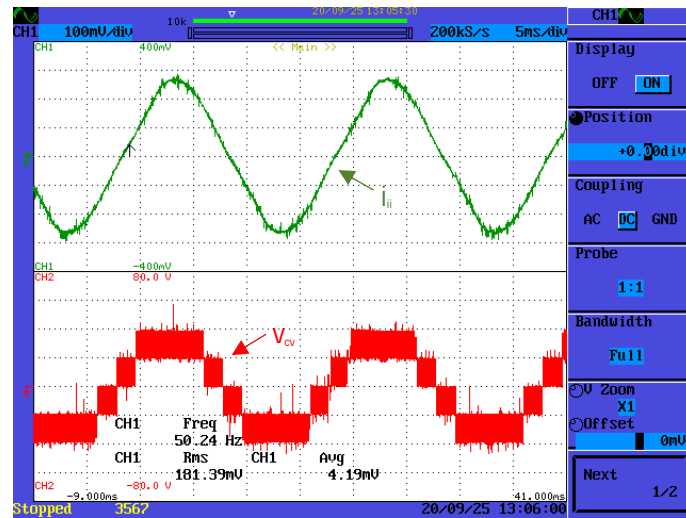
Figura 5.1. Sincronização da PLL com a tensão da rede elétrica.

5.3 Resultados da Validação do Sistema

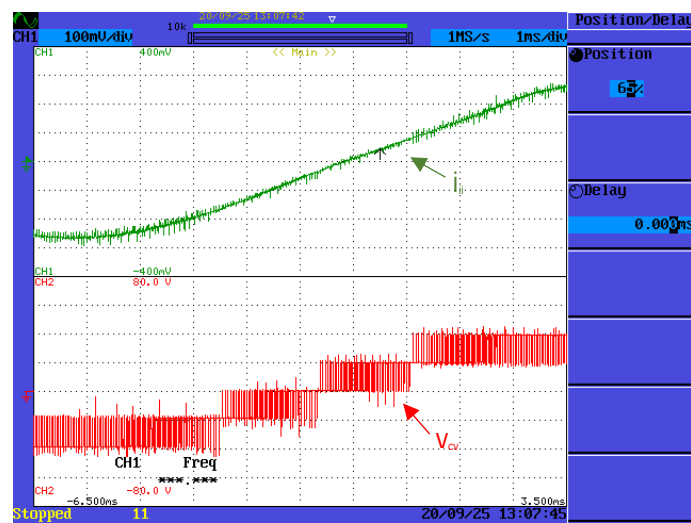
De modo a efetuar a validação do sistema, assim como o controlo implementado, partiu-se para a realização de alguns testes preliminares, nomeadamente, considerando testes em malha aberta e em malha fechada ao sistema.

5.3.1 Teste em Malha Aberta

Para a validação do sistema e da modulação, o primeiro teste foi realizado em malha aberta. Neste teste a tensão total no barramento CC foi de 40 V, ou seja, cada banco de condensadores teve uma tensão de 20 V. A “rede” no caso é uma carga RL, tendo o R o valor de 13Ω e o L o valor de 1 mH. Para a realização deste teste utilizou-se um vetor preenchido com uma onda sinusoidal, que de seguida foi aplicado na modulação, não existindo realimentação do controlo. Na realização deste teste utilizou-se uma frequência de comutação de 20 kHz. Na Figura 5.2 (a) observa-se então a corrente na carga, bem com a tensão produzida pelo conversor. Nesta figura pode-se ver que a corrente é sinusoidal e pode-se também observar os cinco níveis de tensão produzidos pelo conversor CC-CA. Na Figura 5.2 (b) observando mais ao detalhe, permitiu observar os cinco níveis de tensão produzidos, validando assim a modulação utilizada para o conversor CC-CA.



(a)



(b)

Figura 5.2. Teste ao conversor em malha aberta: (a) Corrente na carga e tensão no conversor CC-CA; (b) Pormenor dos níveis criados pelo conversor CC-CA; (corrente: 1 A/div; tensão: 20 V/div).

5.3.2 Testes em Malha Fechada

Após a validação em malha aberta, procedeu-se com a realização de testes em malha fechada com o objetivo de validar o algoritmo de controlo. Para a realização destes testes utilizou-se uma frequência de comutação de 20 kHz. O primeiro teste, em malha fechada, consistiu em controlar o conversor através da realimentação da corrente. Deu-se então uma referência de corrente com uma amplitude de 2 A e alimentou-se o barramento CC com uma fonte de tensão externa, tendo em cada banco de condensadores uma tensão de 20 V. Como carga utilizou-se uma resistência com valor de 13 Ω . Na Figura 5.3 observa-se a corrente na carga, bem como a tensão produzida pelo conversor, onde se verificam, claramente, os cinco níveis de tensão.

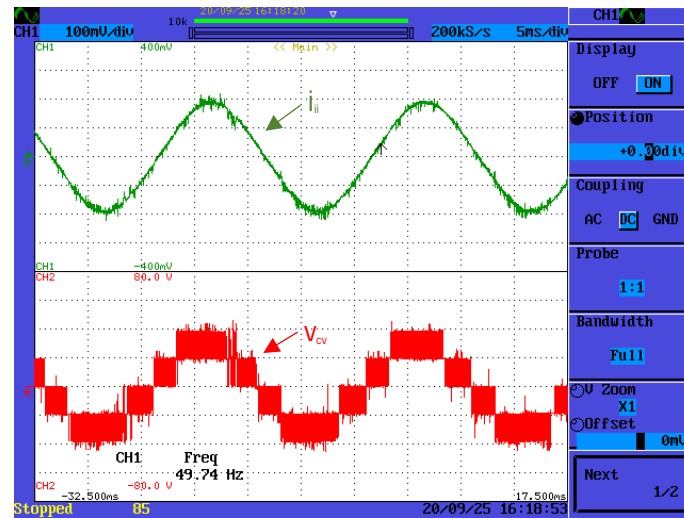


Figura 5.3. Sintetização de uma corrente de 2 A numa carga (Corrente 1 A/div; Tensão: 20 V/div).

De seguida realizou-se o mesmo teste, mas aumentou-se o valor da corrente de referência para 3 A e a tensão nos bancos de condensadores do barramento CC para 30 V, fazendo uma tensão total no barramento CC de 60 V. A carga utilizada foi a mesma descrita acima. A Figura 5.4 apresenta o resultado obtido.

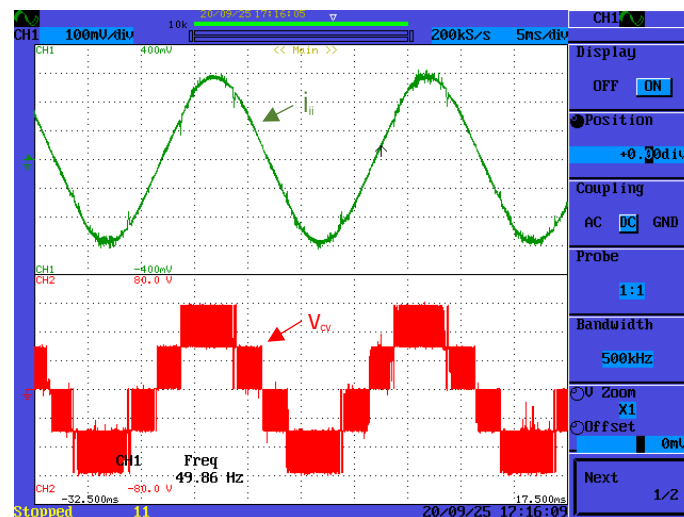


Figura 5.4. Sintetização de uma corrente de 3 A numa carga (Corrente: 1 A/div; Tensão: 20 V/div).

Na Figura 5.5 pode-se observar de forma mais detalhadamente os níveis de tensão gerados pelo conversor.

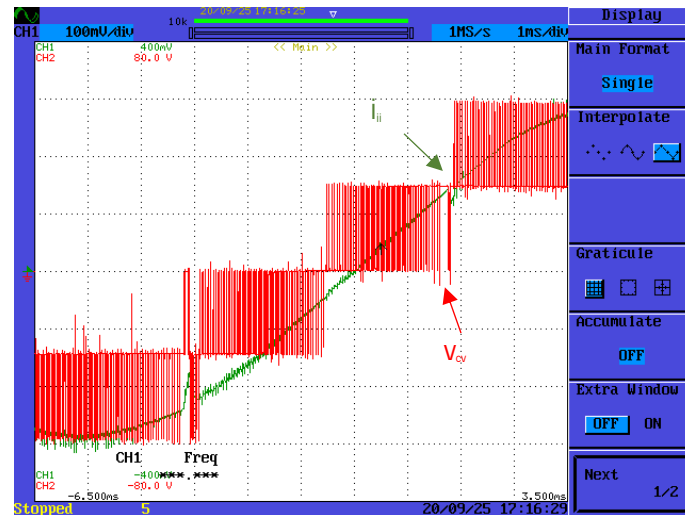


Figura 5.5. Vista dos níveis mais detalhado do teste de sintetizando uma corrente de 3 A numa carga (Corrente: 1 A/div; Tensão: 20 V/div).

Observando mais pormenorizadamente na Figura 5.6(a) é possível verificar que a tensão produzida pelo conversor varia entre 0 V e 30 V, sendo que quando a tensão é 30 V a corrente na bobina aumenta, isto é a bobina armazena energia e quando a tensão é 0 V a corrente na bobina diminui, que por sua vez a bobina fornece energia ao circuito. Como se verifica ainda, a frequência do *ripple* da corrente corresponde à frequência da tensão produzida pelo conversor. Analisando ainda em mais detalhe, na Figura 5.6(b), é possível verificar um momento de transição em que a tensão produzida pelo conversor passa de uma variação de 0 V e 30 V para uma variação de 30 V e 60 V. É importante referir que com este resultado é possível verificar os três níveis de tensão que o conversor permite produzir no semiciclo positivo, isto é 0 V, 30 V e 60 V.

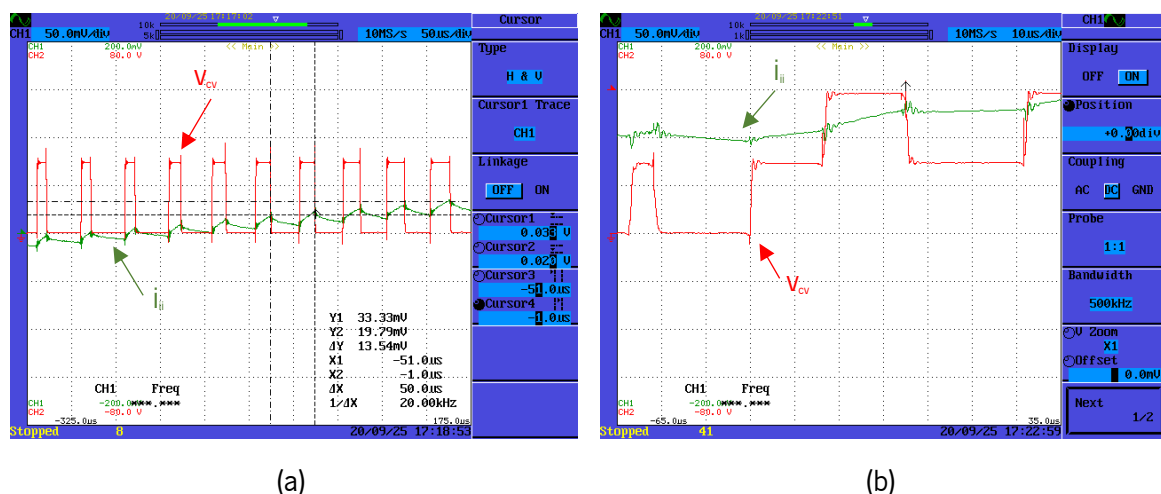


Figura 5.6. De forma mais pormenorizada os níveis de tensão: (a) Verificação da frequência de comutação; (b) passagem de nível; (Corrente: 1 A/div; Tensão: 20 V/div).

Na Figura 5.7 temos o modo X-Y, neste modo observamos a tensão produzida, no eixo do Y, em função da tensão da rede elétrica, no eixo do X.

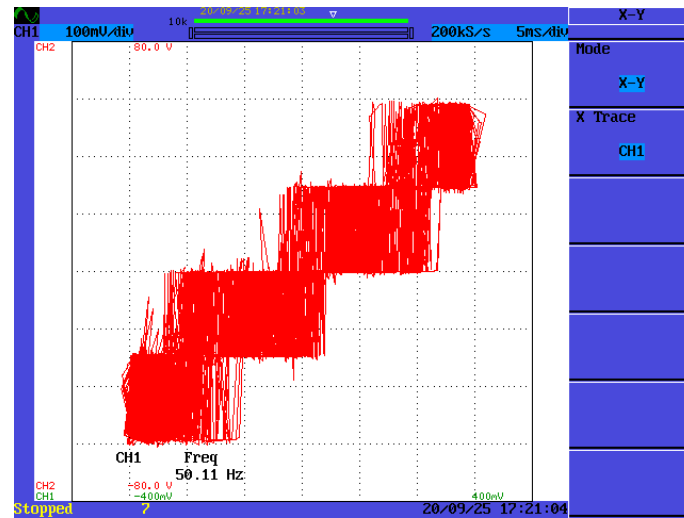


Figura 5.7. Modo X-Y

Deixou-se ainda o sistema a funcionar durante quinze minutos, de modo a aferir a temperatura dos componentes. Podendo assim verificar, se algum componente apresentava uma temperatura fora do normal. Na Figura 5.8(a) pode-se observar a visão geral da temperatura do sistema desenvolvido, verificando que os componentes que atingiram uma temperatura mais alta foi as fontes de tensão isoladas do circuito de driver e os sensores na PCB de potência. No caso da PCB de condicionamento de sinal, os sensores de tensão são os que apresentam a temperatura mais alta. Pode-se assim concluir que nenhum componente se encontrava em esforço e por consequência em sobreaquecimento. A Figura 5.8(b) mostra mais em detalhe a temperatura dos semicondutores do sistema, observando que não existiu um sobreaquecimento sobre os mesmos.

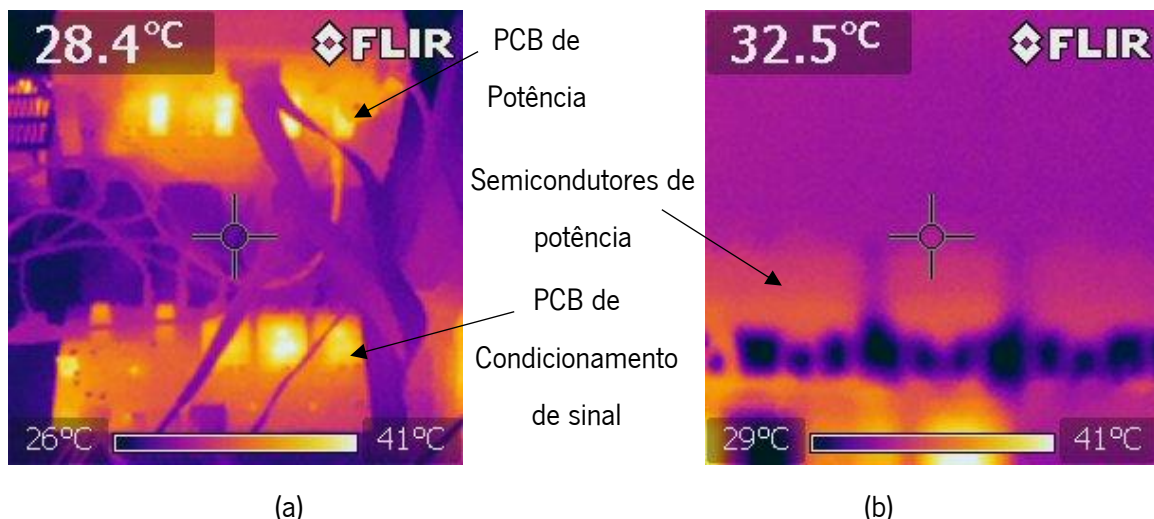


Figura 5.8. Verificação da temperatura do sistema: (a) Vista do sistema global; (b) Vista dos semicondutores de potência.

Posteriormente, passou-se para o teste de sintetizar uma determinada corrente de referência na rede elétrica. Para a realização deste teste, utilizou-se um transformador com razão de transformação de 230 V // 25 V. De notar que os valores apresentados tratam-se de valores RMS. No primeiro teste de injeção de corrente na rede elétrica, deu-se uma referência de 1 A. O barramento

CC foi alimentado com 30 V em cada banco de condensadores. Na Figura 5.9 apresenta-se os resultados obtidos, onde se destaca a corrente produzida, a tensão da rede e a tensão do conversor CC-CA. Como é possível verificar, a corrente é sinusoidal apesar da tensão da rede elétrica apresentar conteúdo harmónico, e está em oposição de fase com a tensão da rede elétrica, significando que a rede elétrica está a receber energia.

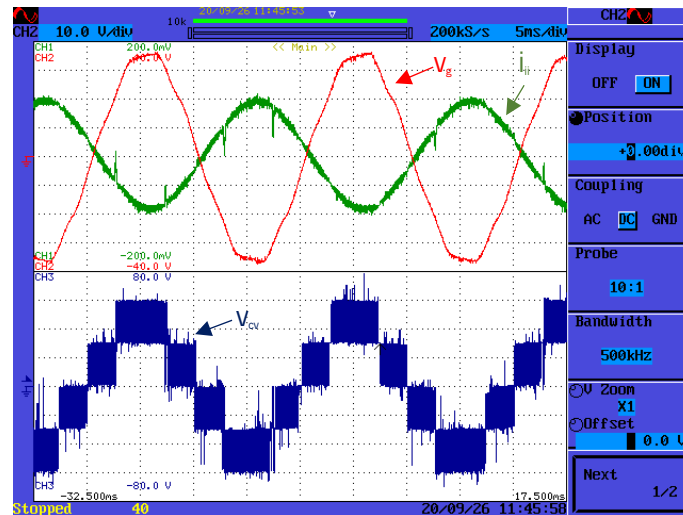


Figura 5.9. Sintetizar 1 A de corrente na rede elétrica (Corrente: 0.5 A/div; Tensão da rede elétrica: 10 V/div; Tensão do conversor: 20 V/div).

À semelhança do teste anterior, deixou-se o sistema em funcionamento durante quinze minutos, observando assim a temperatura. Na Figura 5.10 pode-se ver em detalhe a temperatura dos semicondutores ao fim desse tempo, observando que nestes não existiu um sobreaquecimento.

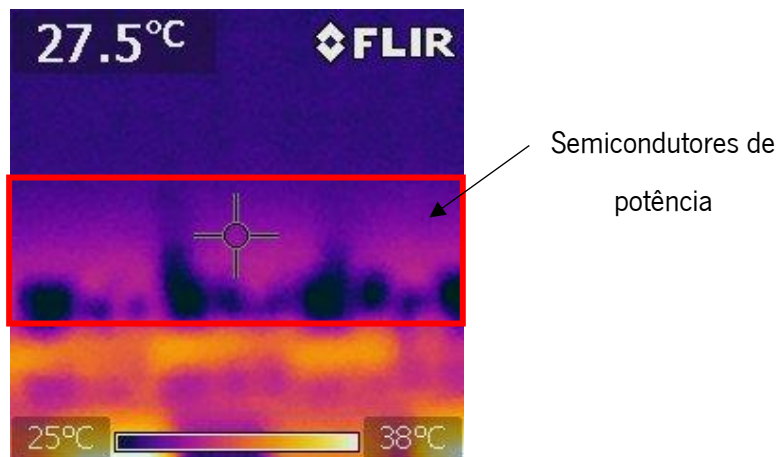


Figura 5.10. Visão da temperatura dos semicondutores de potência no teste a sintetizar 1 A na rede elétrica.

Após a realização deste teste, aumentou-se o valor da referência da corrente para 3 A, mantendo os mesmos parâmetros na rede elétrica e na tensão do barramento CC. Na Figura 5.11 observa-se então a corrente produzida, a tensão da rede elétrica e a tensão produzida pelo conversor CC-CA. À semelhança do teste anterior, pode-se observar que a corrente continua em oposição de fase com a rede elétrica, estando a rede elétrica a receber energia. De notar que a corrente produzida continua sinusoidal, apesar de a tensão da rede elétrica apresentar conteúdo harmónico.

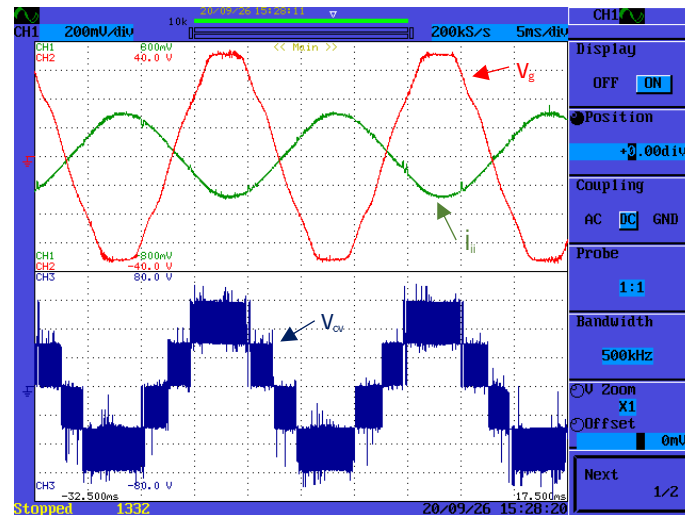


Figura 5.11. Sintetizar 3 A de corrente na rede elétrica (Corrente: 2 A/div; Tensão da rede elétrica: 10 V/div; Tensão do conversor: 20 V/div).

De modo a verificar o controlo efetuado, partiu-se para a realização de um teste que consiste em sintetizar uma corrente composta por duas componentes, na rede elétrica: uma corrente com valor de 3 A com uma frequência de 50 Hz e uma corrente com valor de 0,5 A com uma frequência de 150 Hz. A tensão em cada banco de condensadores manteve-se nos 30 V. Na Figura 5.12 apresenta-se o resultado obtido, onde se destaca a corrente produzida, a tensão da rede elétrica e a tensão produzida pelo conversor CC-CA. Como se pode observar, a corrente produzida não é sinusoidal, mas a tensão produzida pelo conversor CC-CA mantém-se capaz de efetuar os cinco níveis de tensão de forma correta.

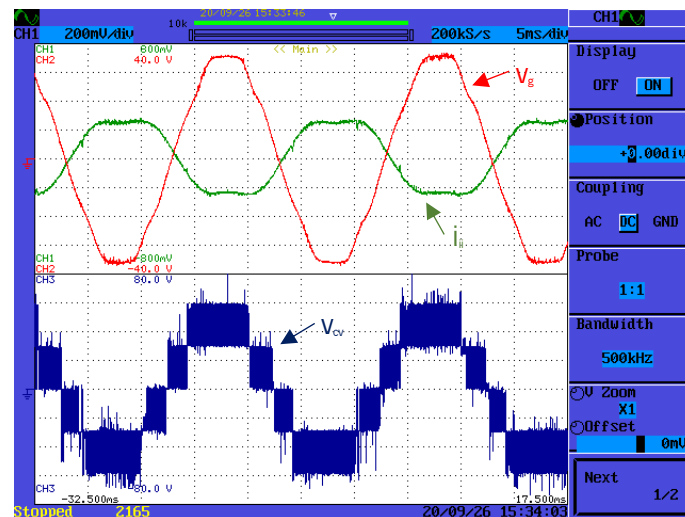


Figura 5.12. Sintetização de uma corrente de 3 A a 50 Hz e 0,5 A a 150 Hz na rede elétrica (Corrente: 2 A/div; Tensão da rede elétrica: 10 V/div; Tensão do conversor: 20 V/div).

No caso da Figura 5.13 observa-se a corrente produzida e a corrente de referência, bem como a tensão produzida pelo conversor CC-CA. Observa-se então que a corrente produzida é capaz de seguir a referência apesar de a mesma não ser sinusoidal.

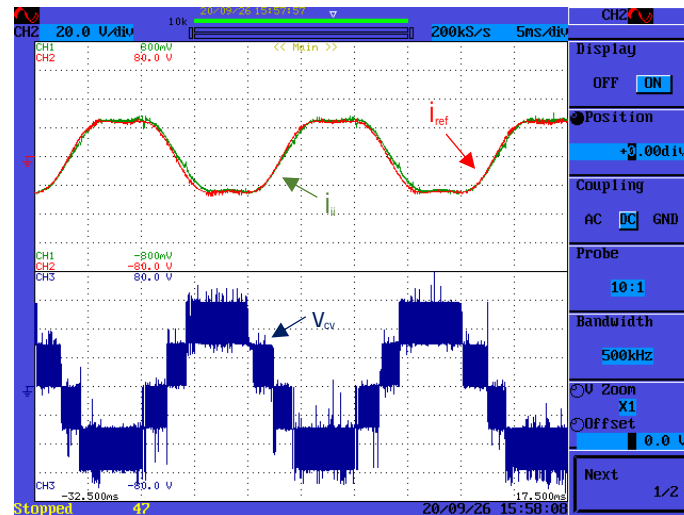


Figura 5.13. Verificação se a corrente produzida pelo conversor segue a referência (Corrente: 2 A/div; Referência da corrente: 20 V/div; Tensão do conversor: 20 V/div).

Realizando por fim o último teste ao controlo, este consiste em absorver da rede uma corrente de referência de 3,5 A. Neste teste retirou-se a alimentação do barramento CC e substituiu-se por duas cargas R em cada banco de condensadores, ou seja, cada banco de condensadores apresentava em paralelo uma carga de $13\ \Omega$. Isto fez que no barramento CC total tivesse uma carga R de $26\ \Omega$. Esta escolha de cargas deve-se ao equilíbrio dos bancos de condensadores do barramento CC, uma vez que coloca-se apenas uma carga R de $26\ \Omega$ para todo o barramento CC os bancos de condensadores iriam ficar desequilibrados. Na Figura 5.14 apresenta-se então a tensão em cada banco de condensadores, a corrente absorvida da rede elétrica, bem como a sua referência e também a tensão produzida pelo conversor CC-CA. Pode-se observar que a corrente segue a referência e esta encontra-se em fase com a tensão, logo o conversor CC-CA encontra-se a absorver corrente da rede elétrica. É importante referir que a corrente absorvida da rede elétrica é sinusoidal. A oscilação no banco de condensadores do barramento CC reflete-se nos níveis de tensão produzidos pelo conversor CC-CA.

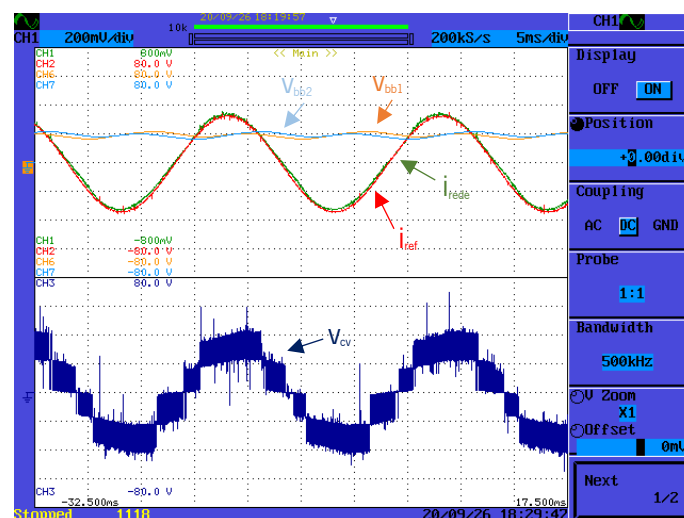


Figura 5.14. Absorvendo uma corrente de 3,5 A da rede elétrica (Corrente absorvida da rede elétrica: 2 A/div; Referência da corrente: 10 V/div; Tensões nos bancos de condensadores: 20 V/div; Tensão do conversor: 20 V/div).

5.4 Testes de Operação como FAP

Para a realização deste teste utilizou-se uma carga não linear, constituída por uma ponte retificadora a diodos com carga RC e uma resistência em paralelo com a ponte retificadora. Para a carga RC da ponte retificadora utilizou-se um R de $26\ \Omega$ e um C de $628\ \mu\text{F}$, no caso do R em paralelo tomou o valor de $26\ \Omega$. Utilizou-se ainda uma bobina de acoplamento há rede elétrica para a ponte retificadora. Inicialmente os testes foram realizados com uma tensão da rede elétrica de 25 V e com uma frequência de comutação de 20 kHz. Na Figura 5.15 apresenta-se o resultado obtido do conversor CC-CA em funcionamento, onde se destaca a corrente na rede elétrica e a corrente consumida pela carga, sendo visível também a tensão nos bancos de condensadores do barramento CC e a tensão produzida pelo conversor CC-CA. Pode-se assim observar que a corrente na rede elétrica, a vermelho, fica mais sinusoidal quando o conversor CC-CA se encontra em funcionamento, uma vez que se este não tivesse em funcionamento a corrente na rede elétrica teria a mesma forma de onda que a corrente da carga. Observa-se ainda a tensão em cada banco de condensadores do barramento CC perto da tensão de referência, sendo a referência os 30 V, bem como a tensão produzida pelo conversor CC-CA em que é visível os cinco níveis de tensão.

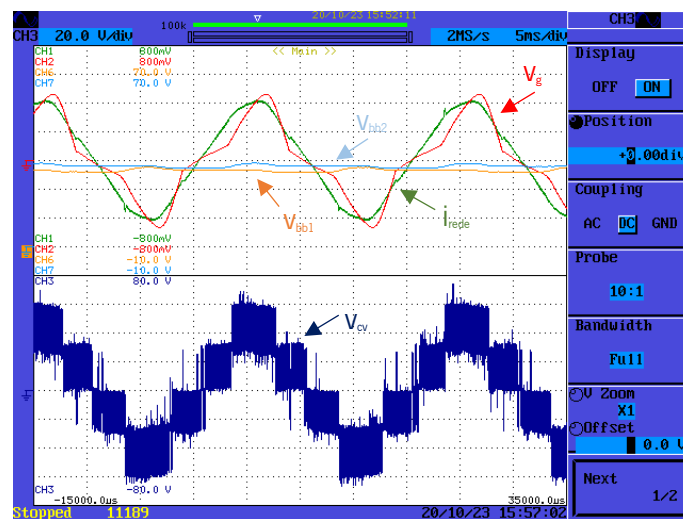


Figura 5.15. Conversor CC-CA operando como FAP (Corrente na carga: 2 A/div; Corrente na rede elétrica: 2 A/div; Tensões nos bancos de condensadores: 10 V/div; Tensão do conversor: 20 V/div).

Realizou-se ainda um teste com uma carga RL, em que o R tomou o valor de $13\ \Omega$ e L o valor de 10 mH. Na Figura 5.16 encontra-se representado a tensão e a corrente da rede elétrica, mostrando o desfasamento entre ambas causado pela carga utilizada. De notar que a corrente não se trata de uma senoide perfeita uma vez que a tensão da rede elétrica apresenta conteúdo harmónico.

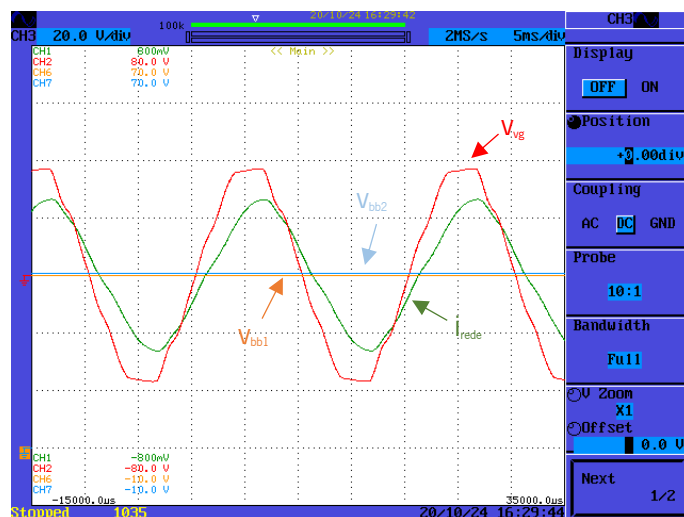


Figura 5.16. Desfasamento entre a corrente e a tensão da rede elétrica (Corrente da rede elétrica: 2 A/div; Tensão da rede elétrica: 20 V/div).

Entrando o conversor CC-CA em funcionamento na Figura 5.17, observa-se o resultado obtido. Nesta figura observa-se a corrente resultante e a tensão na rede elétrica, bem como a tensão em cada bando de condensadores do barramento CC e a tensão produzida pelo conversor CC-CA. Analisando o resultado pode-se observar a compensação do fator de potência, voltando a estar em fase a corrente e a tensão da rede elétrica. Contudo ainda existe um pequeno desfasamento entre as duas, mas o fator de potência é próximo do valor unitário. A tensão no banco de condensadores do barramento CC encontra-se perto da sua referência, sendo os mesmos 30 V do teste anterior. Pode-se também ainda observar a tensão produzida pelo conversor CC-CA, sendo visível os cinco níveis de tensão produzidos.

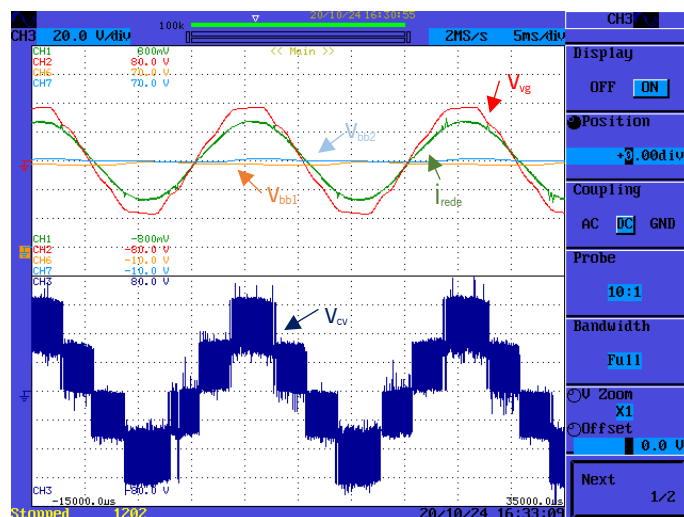


Figura 5.17. Compensação do fator de potência (Corrente da rede elétrica: 2 A/div; Tensão da rede elétrica: 20 V/div; Tensões nos bancos de condensadores: 10 V/div; Tensão do conversor: 20 V/div).

Após a validação a 25 V, subiu-se a tensão então para os 50 V, não se esquecendo que se tratam de valores eficazes. Com o aumento então da tensão, deparou-se com um problema no sistema. Problema este que danificava os semicondutores de potência utilizados. De modo a identificar o problema e procurar o erro, o primeiro passo passou pela substituição dos semicondutores de

potência utilizados por IGBTs. A escolha destes deve-se ao facto de serem mais robustos. Posto isto procedeu-se então ao teste do sistema com a tensão a 50 V da rede elétrica. Na Figura 5.18 observa-se o resultado do teste, podendo visualizar a corrente resultante na rede elétrica, bem como as tensões de cada banco de condensadores. A corrente na rede torna-se mais sinusoidal após a operação do conversor CC-CA como FAP. Quanto a tensão dos bancos de condensadores, estas encontram-se equilibradas e simétricas, tendo sido atribuído o valor de 60 V como referência destes, encontrando-se a tensão dos mesmos no valor desejado. Pode-se ainda visualizar a tensão produzida pelo conversor CC-CA, sendo visíveis os 5 níveis de tensão distintos, sendo os níveis, 120 V, 60 V, 0 V, -60 V, -120 V.

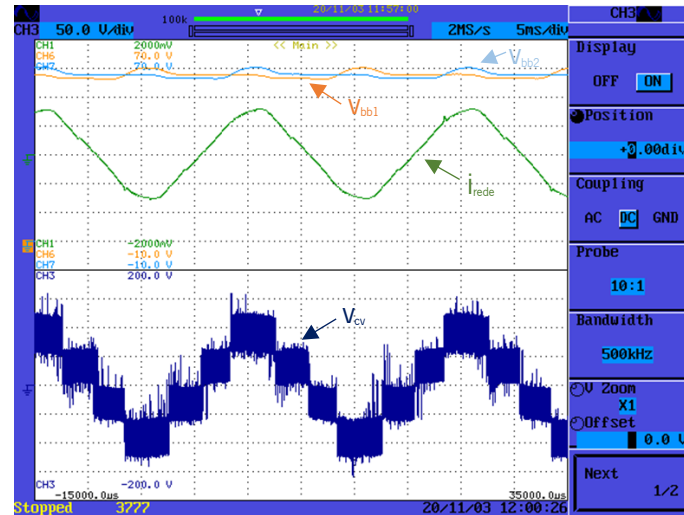


Figura 5.18. Conversor CC-CA operando como FAP com uma tensão na rede elétrica de 50 V RMS
(Corrente na rede elétrica: 5 A/div; Tensões nos bancos de condensadores: 10 V/div;
Tensão do conversor: 50 V/div).

Posto isto, deparou-se que o problema não estava no controlo do sistema, nem nos semicondutores de potência escolhidos. Partiu-se então para um teste aos *drivers* utilizados, realizando uma montagem de teste para os mesmos, recorrendo a um circuito auxiliar, baseado no *driver* implementado, e a um conversor *half-bridge*. Na Figura 5.19 observa-se então a bancada de teste.

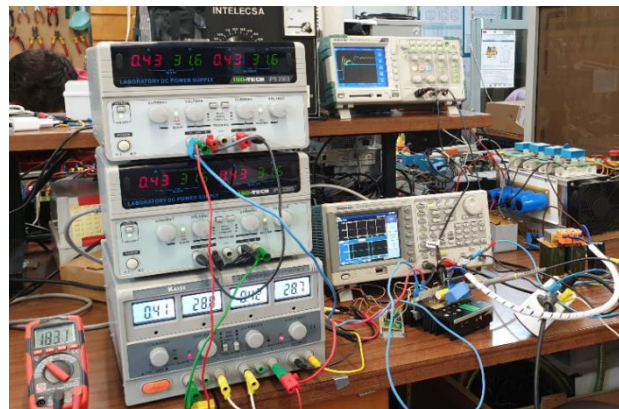


Figura 5.19. Bancada de teste montada para efetuar testes ao *driver*.

Exibindo mais em detalhe a montagem realizada, na Figura 5.20(a) pode-se encontrar o esquemático do circuito, enquanto que na Figura 5.20(b) apresenta-se a implementação do mesmo. Nesta pode-se ver então três módulos, sendo a meia ponte o primeiro módulo, as resistências de *gate* e *gate source* o segundo módulo e por fim o terceiro módulo corresponde ao circuito de driver.

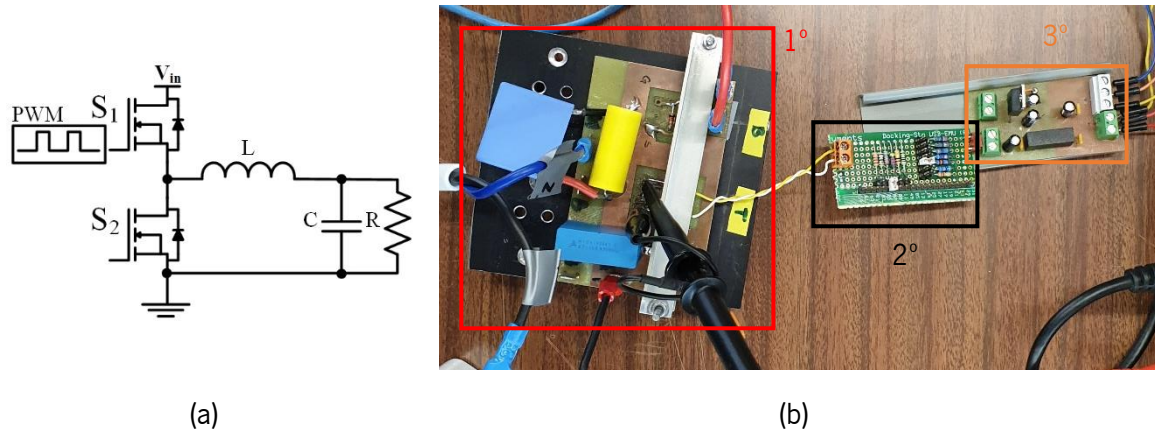


Figura 5.20. Circuito e montagem para testar o driver utilizado: (a) Representação do circuito montado; (b) Apresentação da montagem física realizada para se realizar os testes.

O primeiro passo consistiu em observar o sinal de *gate* sem tensão aplicada em V_{in} , podendo então observar o sinal na Figura 5.21. Neste observa-se um pico de tensão quando o mesmo passa de 0 V para 15 V, tendo quase o valor de 20 V esse pico. No caso da transição de 15 V para 0 V, ocorre um pico negativo de quase -5 V. Relembrando que o driver utilizado com a montagem de *bootstrap* descrito na secção 4.6 trabalha com tensões de 0 V e 15 V. Contudo ambos os picos de tensão se encontram dentro dos limites do semicondutor de potência, uma vez que estes são inferiores a 19 V e -8 V. Com este sinal aplicado ao semicondutor, permite que o mesmo entre em condução, contudo falta ainda observar o comportamento do mesmo quando aplicado tensão ao sistema, de modo a apurar se o sinal se mantém ou se sofre algumas alterações.

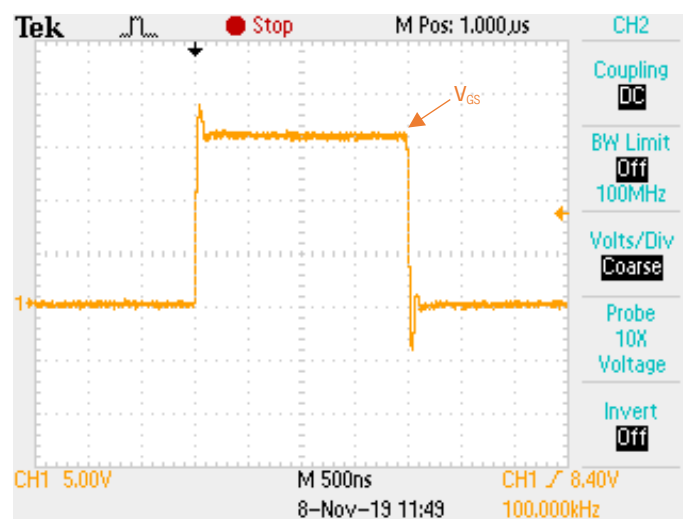


Figura 5.21. Sinal de PWM aplicado ao semicondutor de potência quando não existe tensão aplicada em V_{in} (Tensão na *gate* do semicondutor de potência: 5 V/div).

De seguida realizou-se um teste nas condições onde se detetou o problema, ou seja, a tensão total do barramento, com o valor de 120 V, e a frequência de comutação de 20 kHz. Na Figura 5.22 observamos então o resultado obtido, tendo o sinal aplicado ao semicondutor de potência (V_g) e também a tensão entre *drain source* (V_{ds}). Observa-se então que quando se dá a transição de 0 V para 15 V o sinal sofre uma grande distorção, tenho um pico de tensão na transição, pico este que chega aos 25 V. Situação não muito saudável para o semicondutor de potência, uma vez que este apenas suporta uma tensão de 19 V entre *gate* e *source*. Por sua vez ainda é visível uma queda da tensão para valores não desejáveis, podendo fazer com que o semicondutor deixe de conduzir. De notar que a onda do CH2 que representa a tensão *drain source* encontra-se invertida para melhor visualização dos gráficos. Pode-se ainda observar que a tensão *drain source* varia enquanto que o sinal de *gate* não estabiliza.

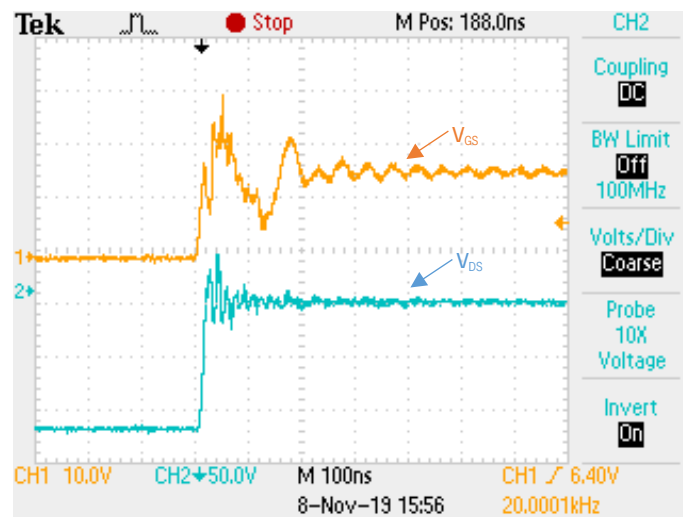


Figura 5.22. Sinal de PWM aplicado ao semicondutor de potência e tensão *drain source* (Tensão na *gate* do semicondutor de potência: 10 V/div; Tensão *drain source* do semicondutor de potência: 50 V/div).

De modo a tentar mitigar o problema, realizaram-se novos testes ao *driver*, mudando fatores como a resistência de *gate*, a impedância e a capacidade entre a *gate* e a *source*. Observou-se assim o comportamento do *driver* através do sinal que este aplica ao semicondutor de potência. A frequência de comutação e o *duty-cycle* não foram alterados, uma vez que a alteração destes não apresentou diferenças significativas na forma de onda. Posto isto, a frequência de comutação utilizada foi de 100 kHz com um *duty-cycle* de 20%. O primeiro fator a ser testado foi a resistência de *gate*, alterando o valor da mesma de modo a ver o efeito que teria no sinal. De forma a verificar a influência desta no sinal em primeiro realizou-se o teste sem tensão no sistema. Então na Figura 5.23(a) apresenta-se o resultado com uma resistência de *gate* de 2 Ω enquanto que na Figura 5.23(b) o resultado é com uma resistência de *gate* de 13 Ω .

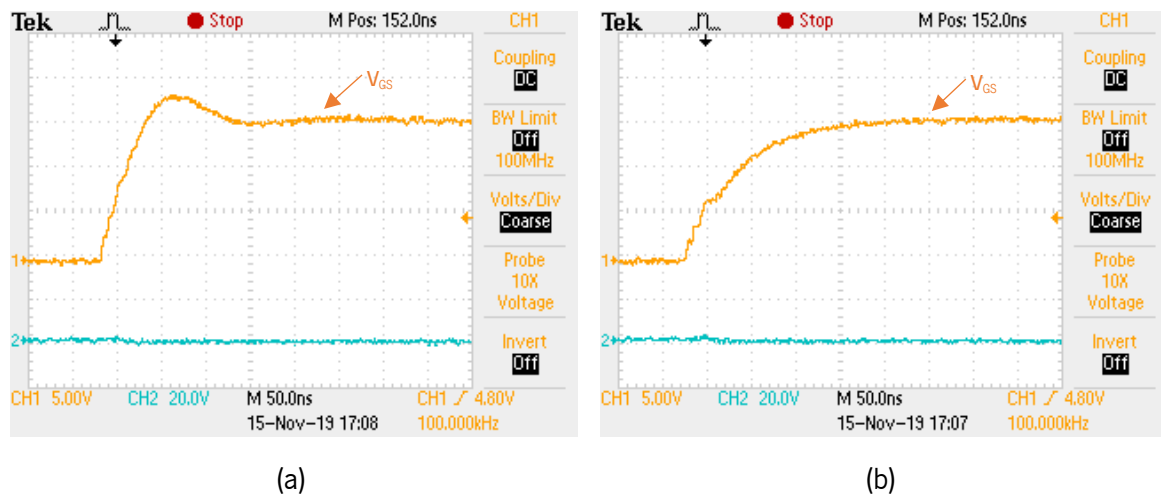


Figura 5.23. Observação do efeito da resistência de *gate* no sinal de PWM:(a) Com resistência de *gate* de 2 Ω ;
(b) Com resistência de *gate* de 13 Ω (Tensão de gate aplicada ao semiconductor de potência: 5 V/div).

Observado o efeito desta no sinal, realizou-se testes com vários valores de resistências de *gate*, tendo nestes testes já aplicado tensão ao sistema. Na Figura 5.24 observa-se então o sinal aplicado ao semiconductor de potência nos diferentes casos. De notar que no caso a resistência de *gate source* foi constante em todos os testes com as diferentes resistências de *gate*. Pode-se observar então que utilizando a resistência de 2 Ω e 5 Ω ocorre picos superiores a 20 V, no caso de 13 Ω ocorre um pequeno pico que pode ser colmatado com a variação da resistência de *gate source*. Em termos de distorção, em todos os casos os sinais sofrem bastante distorção.

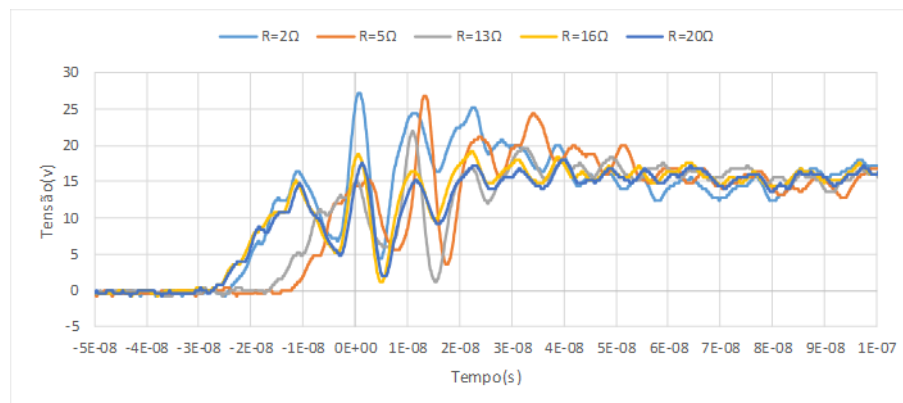


Figura 5.24. Observação do sinal de PWM aplicado ao semiconductor de potência variando a resistência de *gate*.

Observando o efeito da resistência de *gate*, passou-se para a resistência de *gate source*, ou seja, variou-se a resistência de *gate source* e a resistência de *gate* foi a mesma para os diferentes testes, tendo o valor de 13 Ω . Na Figura 5.25 observa-se então o sinal aplicado no semiconductor de potência para as diferentes resistências. Pode-se observar que o melhor caso foi quando se utilizou a resistência de 1 k Ω onde o pico desceu para baixo dos 20 V, apesar da distorção do sinal continuar nos diferentes casos.

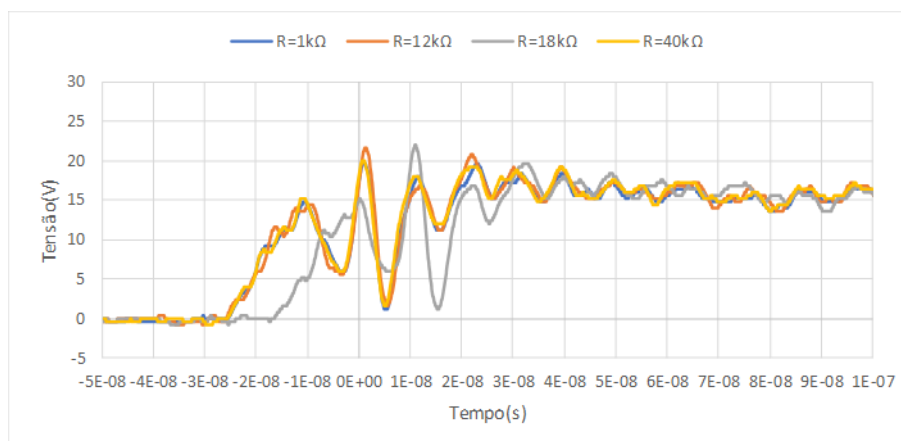


Figura 5.25. Observação do sinal de PWM aplicado ao semicondutor de potência variando a resistência de *gate source*.

Ainda de assinalar e como já mencionado, a distorção do sinal de *gate* tem repercussões na tensão *drain source* como se pode observar na Figura 5.26. Neste caso apenas se aumentou ligeiramente a tensão para os 130 V e utilizando o melhor caso para as resistências acima testadas (13 Ω de *gate* e 1 k Ω de *gate source*).

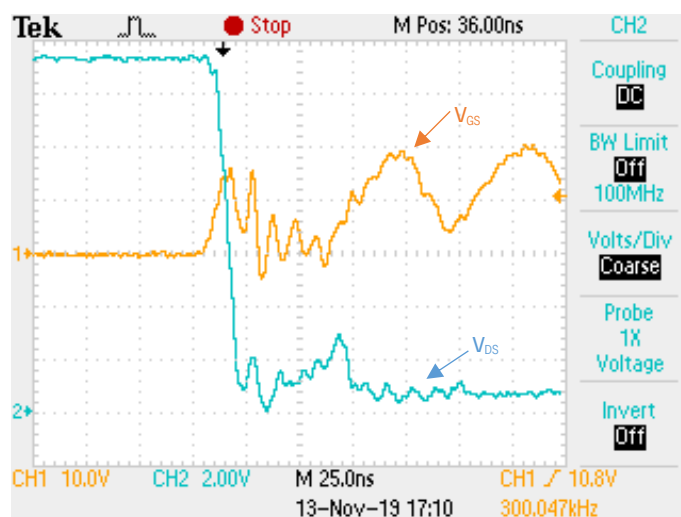


Figura 5.26. Sinal de PWM aplicado ao semicondutor de potência e tensão *drain source* (Tensão na *gate* do semicondutor de potência: 10 V/div; Tensão *drain source* do semicondutor de potência: 20 V/div).

Com as alterações realizadas não foi possível melhorar a qualidade do sinal de *gate* aplicado ao semicondutor de potência com este *driver* e configuração do mesmo. Por fim, decidiu-se também testar com diferentes semicondutores de potência para observar se a distorção acontecia igualmente. Utilizou-se outro MOSFET, o IPP50R190CE, e um IGBT, designado de FGA25N120ANTD [84],[85]. Na Figura 5.27 temos então os dois resultados para os diferentes semicondutores, apresentado o sinal de *gate* aplicado ao semicondutor, bem como a tensão *drain source*/coletor emissor do mesmo, observando assim o comportamento do driver para os diferentes semicondutores de potência. De realçar que as condições de teste foram as iguais, ou seja, em ambos os casos a tensão, a resistência de *gate*, a resistência de *gate source/emissor*, a frequência e o *duty-cycle* foram iguais. No caso da tensão tomou o valor de 120 V, a resistência de *gate* utilizada foi de 13 Ω , a resistência de *gate*

source/emissor foi de 18 k Ω e tendo uma frequência de comutação de 100 kHz no caso do MOSFET e 20 kHz no caso do IGBT, ambos um *duty-cycle* de 20%. Na Figura 5.27(a) foi então utilizado outro MOSFET e, como se pode observar, os picos de tensão na transição de 0 V para 15 V ainda são mais elevados e continua a distorção do sinal. Na Figura 5.27(b) temos o resultado com a utilização do IGBT. Neste caso pode-se observar que não ocorrem picos de tensão acima dos 15 V, bem como a qualidade do sinal é melhor em comparação ao sinal do MOSFET.

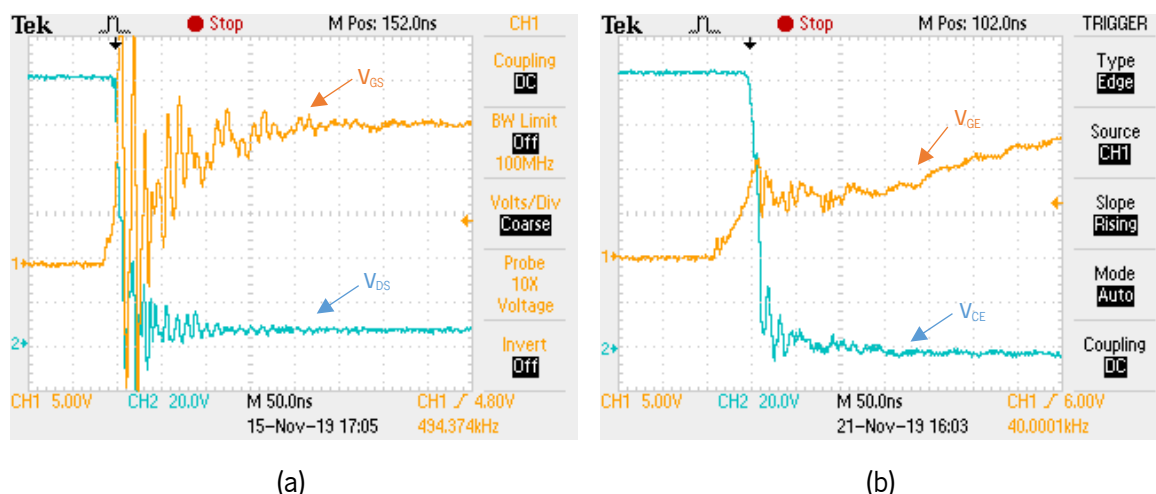


Figura 5.27. Comparação do sinal de PWM aplicado a dois semicondutores de potência diferentes do utilizado:
 (a) Utilizando um MOSFET; (b) Utilizando um IGBT (Tensão na *gate* do semicondutor de potência: 5 V/div;
 Tensão *drain source* do semicondutor de potência: 20 V/div).

Tentando ainda solucionar o problema, observou-se ainda a tensão na fonte de alimentação, ou seja, no conversor CC-CC, verificando o comportamento desta na transição de 0 V para 15 V. Assim na Figura 5.28 observa-se o sinal de *gate* aplicado ao semicondutor de potência e a tensão na fonte. Na Figura 5.28(a) existe um condensador de cerâmica e um eletrolítico efetuar o desacoplamento da fonte, tendo o valor de 0.1 μ F e 1 μ F respetivamente. Observa-se então que num momento houve um ligeiro afundamento da tensão na transição. Posto isto na Figura 5.28(b) foi adicionado mais dois condensadores, um de cerâmica e um eletrolítico. No caso do de cerâmica adicionou-se um de igual valor ao já existente, mas no caso do eletrolítico adicionou-se um de 100 μ F. Neste resultado pode-se observar que já não existiu um afundamento da tensão, contudo esta ainda apresentou *ripple*, contudo o sinal de PWM aplicado ao semicondutor de potência não sofreu melhorias. Continuando este a apresentar distorção. De notar ainda que na realização deste teste foi utilizado o IGBT como semicondutor de potência.

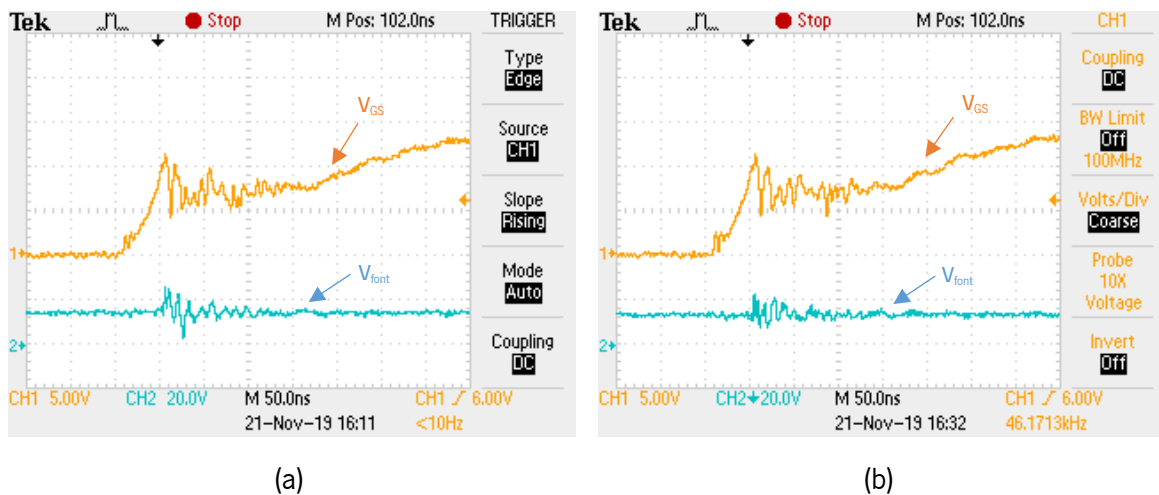


Figura 5.28. Sinal de PWM aplicado ao semicondutor de potência e tensão na fonte de alimentação (Tensão na *gate* do semicondutor de potência: 5 V/div; Tensão na fonte de alimentação: 20 V/div).

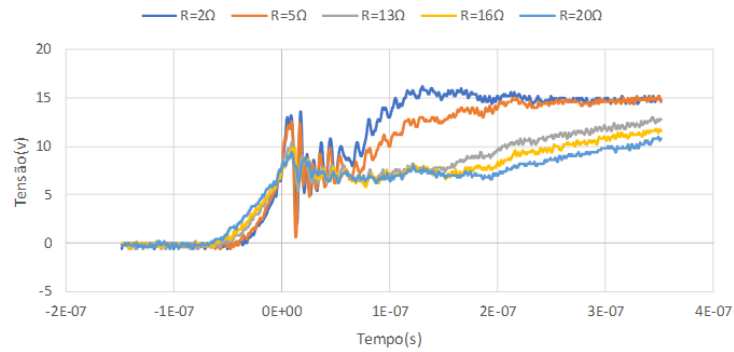
Analisou-se ainda outro driver utilizado no GEPE, observando assim o comportamento deste, de modo a poder-se fazer uma comparação entre drivers. Assim sendo, utilizou-se então uma PCB já desenvolvida e montada existente no GEPE. Na Figura 5.29 observa-se a PCB. Este driver tem o mesmo funcionamento no que toca a tensão, isto é o sinal de PWM a aplicar ao semicondutor de potência irá variar entre 0 V e os 15 V, à semelhança do driver utilizado.



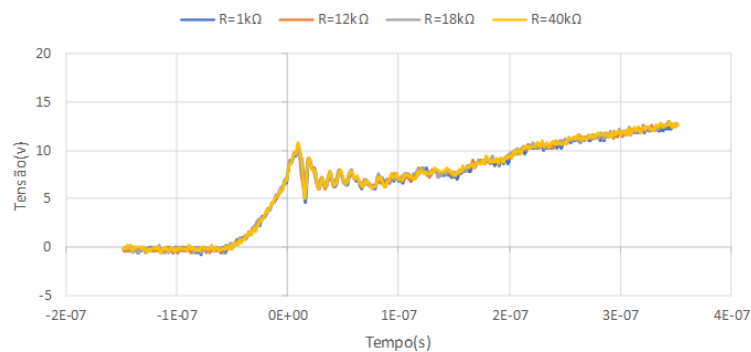
Figura 5.29. PCB de driver desenvolvida pelo GEPE.

Posto isto utilizou-se a mesma meia ponte e a PCB que permite escolher diferentes resistências para a *gate* e para a *gate source* efetuando assim a mesma montagem, tendo como única alteração então o circuito de driver. No caso, este *driver* tem como frequência máxima de comutação de 50 kHz, logo, nos testes realizados utilizou-se uma frequência de 40 kHz com o mesmo *duty-cycle* utilizado nos testes anteriores, ou seja, 20%. Realizaram-se também testes com várias resistências de *gate* e resistências de *gate source*, podendo assim também observar o comportamento do driver através do sinal de PWM aplicado ao semicondutor de potência. Nestes testes utilizou-se a mesma tensão e os mesmos valores de resistências que foram utilizados nos testes anteriormente apresentados no caso do *driver* utilizado. Contudo, nestes testes o semicondutor utilizado para o efeito foi o IGBT. Tendo então na Figura 5.30 os resultados obtidos dos testes. Na Figura 5.30(a) observa-se então o sinal de

PWM aplicado ao semicondutor de potência variando a resistência de *gate*, enquanto que na Figura 5.30(b) temos o mesmo sinal mas variando a resistência de *gate* emissor. Pode-se observar que apenas houve variações do sinal consoante a resistência de *gate* uma vez que a variação da resistência de *gate* emissor não efetuou alterações ao sinal de PWM. Pode-se ainda observar que não ocorreram picos de tensão há semelhança do *driver* utilizado, mas a distorção do sinal é comum a ambos.



(a)



(b)

Figura 5.30. Observação do sinal de PWM aplicado ao semicondutor de potência: (a) variando a resistência de *gate*; (b) variando a resistência de *gate* emissor.

Realizando depois um teste substituindo o IGBT pelo SiC pode-se observar o comportamento do driver, possibilitando a comparação entre drivers com este semicondutor de potência. Para tal utilizou-se as mesmas condições, de tensão, de resistência de *gate* e resistência de *gate source*, tendo os valores 120 V, 13 Ω e 18 k Ω respetivamente. Na Figura 5.31 observa-se então o resultado obtido, onde se pode ver que ocorre picos de tensão de cerca de 20 V e de seguida o sinal afunda indo inclusive para valores negativos, podendo assim fazer com que o semicondutor deixe de estar em condução e passado a ficar ao corte. Situação esta não muito benéfica para o sistema uma vez que não se sabe o que poderia acontecer ao sistema quando um dos semicondutores passa da condução para o corte.

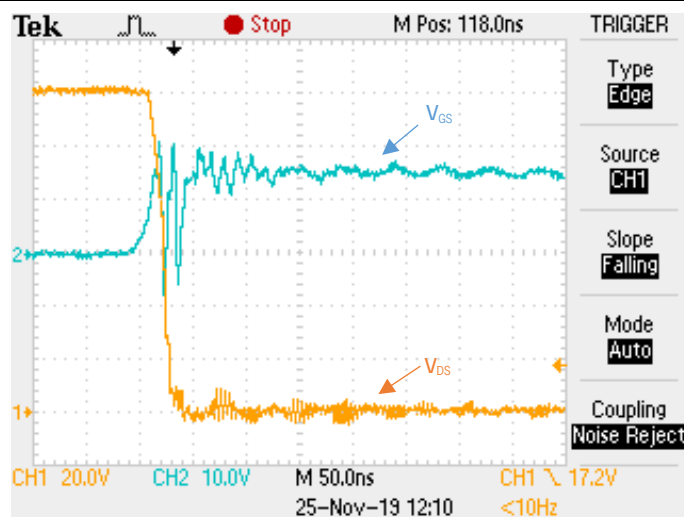


Figura 5.31. Sinal de PWM aplicado ao semicondutor de potência e tensão *drain source* (Tensão na *gate* do semicondutor de potência: 10 V/div; Tensão *drain source* do semicondutor de potência: 20 V/div).

Por fim o último teste realizado ao *driver* utilizado consistiu na observação do sinal na saída do *driver* e o sinal no terminal de *gate* do semicondutor de potência. Neste teste apenas se utilizou uma tensão de 30 V fazendo assim com que esta apresenta-se pouca influência no sinal, uma vez que o sinal sofre com a tensão aplicada. A resistência de *gate* e de *gate source* foram de 13 Ω e 18 k Ω e tendo uma frequência de comutação de 40 kHz com um *duty-cycle* de 20%. Na Figura 5.32(a) apresenta-se os dois casos acima referidos, onde se observa o sinal de PWM medido diretamente no pino de saída do driver e o medido diretamente no terminal de *gate* do semicondutor de potência. Pode-se observar então que existe uma diferença entre os sinais, sendo que sinal perde “qualidade”, apresentando mais distorção no terminal de *gate* do semicondutor de potência. Enquanto que na Figura 5.32(b) apresenta-se a diferença de tensão entre os dois pontos, ou seja, medido na saída do driver e no terminal *gate* do semicondutor de potência.

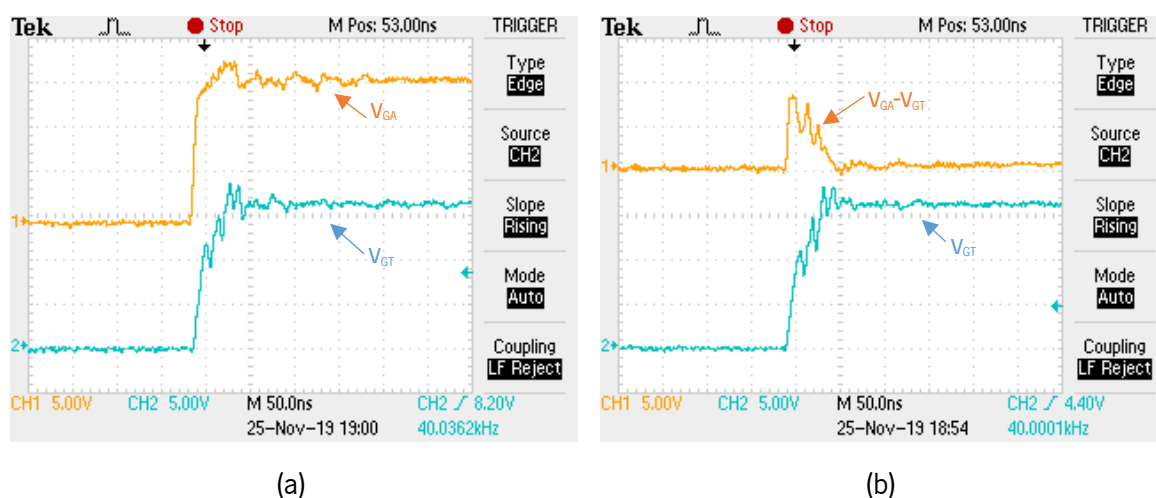


Figura 5.32. Sinal de PWM na saída do driver e o aplicado ao semicondutor de potência: (a) PWM na saída do driver e no terminal de *gate* do semicondutor de potência ;(b) Diferença de tensão entre a saída do driver e a terminal de *gate* do semicondutor de potência(Tensão na saída do driver: 5 V/div; Tensão na *gate* do semicondutor de potência: 5 V/div; Tensão entre a saída do driver e o terminal de *gate* do semicondutor de potência: 5 V/div).

5.5 Integração do Sistema Desenvolvido

As sucessivas validações do sistema permitiram a integração do sistema e consequentemente a sua compactação. Na Figura 5.33 está apresentada a integração do sistema desenvolvido, onde se pode observar as duas PCBs desenvolvidas e a PCB que faz de suporte ao DSP. A PCB de potência encontra-se acoplada a um dissipador ficando esta na vertical, e por sua vez os condensadores ficam apoiados na superfície. Já no caso da placa de controlo, esta encontra-se por baixo da PCB de suporte ao DSP, uma vez que estas foram aparafusadas uma em cima da outra. Os sensores estão posicionados para o lado da PCB de potência, ficando assim perto dos locais de leitura das variáveis do sistema. É de realçar ainda que a bobina de acoplamento à rede elétrica encontra-se em cima do condensador, aproveitando então o cumprimento do mesmo para dar suporte para a bobina.

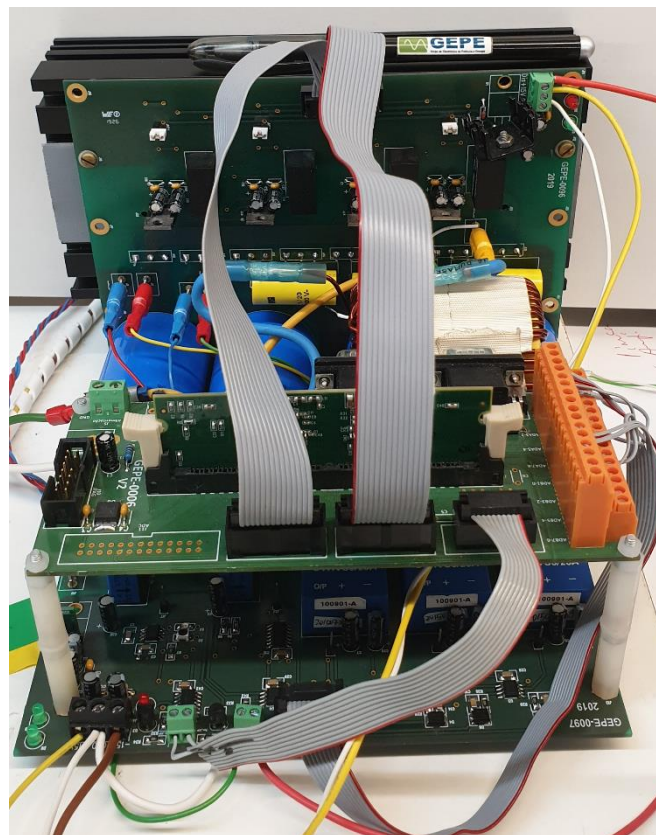


Figura 5.33. Integração do sistema desenvolvido.

5.6 Conclusão

Neste capítulo foram apresentados os resultados experimentais obtidos do sistema desenvolvido. Testes estes realizados tal como no capítulo 3.

O primeiro teste passou pela sincronização do sistema de controlo com a tensão da rede elétrica, validando assim o funcionamento da PLL. De seguida e de modo a validar o sistema por partes, passou-se para o teste em malha aberta, validando a topologia multinível escolhida e a

modulação desenvolvida. Passando para os testes em malha fechada, permitiu validar o sistema de controlo, bem como as técnicas de controlo implementadas.

Tendo o sistema todo validado, passou-se para a validação do mesmo operando como FAP, efetuando a compensação da corrente e do fator de potência da rede elétrica, bem como efetuando o controlo de tensão no barramento CC. Inicialmente os testes realizados começaram com uma tensão e frequência de comutação reduzida que permitiu trabalhar em segurança no sistema e salvaguardar os componentes. Com a validação do sistema com estes valores, foi-se subindo os mesmos de modo a que estes se aproximem dos valores nominais para que o sistema foi projetado.

Capítulo 6

Conclusão

6.1 Conclusões

Nesta dissertação foi desenvolvido e apresentado um inversor multinível monofásico de cinco níveis. Trata-se de um conversor CC-CA operando como FAP, que permite compensar problemas de QEE, nomeadamente harmónicos de corrente e fator de potência. O principal objetivo deste trabalho consiste no desenvolvimento de um protótipo de dimensões reduzidas em comparação aos existentes no mercado, bem como explorar a qualidade da corrente, o número de níveis e o aumento da frequência de comutação.

No capítulo 1, introduziu-se o conceito de QEE, mostrando a sua importância a nível mundial e o impacto que, atualmente, tem no mundo empresarial e doméstico. Identificou-se os problemas associados, mais concretamente os problemas que o conversor CC-CA, operando como FAP, irá compensar, nomeadamente os harmónicos de corrente e o fator de potência. Posto isto, introduziu-se o conceito de harmónico de corrente e também o conceito de fator de potência. Neste caso, apresentou-se o conceito inicial, que consistia no desfasamento entre a tensão e corrente, contudo com o aumento das cargas não-lineares o termo abrangeu novos fatores. O fator de potência total atual pode-se dividir em fator de deslocamento (DPF) e em fator de distorção (DF). Depois da apresentação dos problemas de QEE, apresenta-se soluções possíveis para a sua mitigação, bem como a descrição dos objetivos deste trabalho e a organização da dissertação.

No capítulo 2, realizou-se uma revisão bibliográfica sobre o sistema a desenvolver, particularmente sobre FAPs monofásicos. Apresentou-se então conversores CC-CA do tipo VSI e CSI, sendo apenas abordadas topologias de conversores do tipo VSI. Para além disso, expõe-se as técnicas de modulação SPWM bipolar e unipolar para conversores CC-CA, e técnicas de modulação multinível para conversores CC-CA multinível. De seguida, abordou-se técnicas de controlo de corrente, mencionando técnicas de frequência variável, o controlo por histerese e o *periodic sampling*, e técnicas de frequência fixa, o controlo PI e o controlo preditivo. Passou-se para as teorias de controlo de FAP monofásicos, referindo teorias no domínio do tempo, a teoria FBD e a teoria $p-q$. Foi, também, explicada uma teoria no domínio da frequência, a teoria por transformada de Fourier. Por fim,

apresenta-se as topologias de conversores CC-CA, nomeadamente em meia ponte, ponte completa e as topologias multinível mais utilizadas.

O capítulo 3 expõe o modelo do sistema em simulação computacional, recorrendo há ferramenta PSIM. Este procedimento é bastante importante, uma vez que permite a validação das técnicas de controlo, bem como a modulação utilizada para o conversor CC-CA multinível. Adicionalmente, tem a vantagem de não correr risco de danificar componentes e risco de perigo humano. Neste capítulo é explicada a topologia multinível do conversor CC-CA utilizada, como também as técnicas de controlo. Após a validação computacional, avançou-se então para os testes do sistema. Analisou-se a performance de cada controlo implementado, nomeadamente a regulação do barramento CC, controlo de corrente e teoria de controlo de FAPs. Após a análise da performance, foram realizados testes à operação do conversor CC-CA operando como FAP, nos quais se observou a resposta a transições que ocorram no sistema.

Partindo da validação do sistema em software, procedeu-se à implementação do mesmo. No capítulo 4, descreve-se o processo de desenvolvimento da placa de controlo do sistema, mencionando a DSP utilizada, neste caso o microcontrolador *TMS320F28335* da *Texas Instruments*, e os sensores utilizados, tanto o de tensão, como o de corrente. De seguida, é explicado o desenvolvimento das PCBs, especificando os circuitos utilizados na construção da mesma. De mencionar que a PCB de condicionamento de sinal e a PCB onde se inseriu o circuito de driver, a PCB de potência, foram desenhadas de raiz, a única PCB utilizada já desenvolvida trata-se da PCB de suporte da DSP. Como já referido, foi dada prioridade aos componentes SMD, de modo a compactar o tamanho das PCBs desenvolvidas. A utilização do driver *ADUM3223* possibilitou diminuir o tamanho da implementação do driver, uma vez que este permite atuar sobre um braço de semicondutores de potência, isto em comparação às PCBs modulares existentes que também atuam sobre um braço de semicondutores de potência. Outra vantagem é o facto de a utilização da montagem do *bootstrap* ser menos dispendiosa, requerendo menos fontes de alimentação isoladas, e sendo utilizada apenas uma para cada braço ou invés de uma para cada semicondutor de potência. Ainda neste capítulo, mostrou-se os componentes implementados no andar de potência do sistema, bem como uma descrição das duas PCBs de potências desenvolvidas. É apresentada a primeira PCB desenvolvida do andar de potência do sistema e as razões que levaram ao desenvolvimento de uma nova versão da mesma PCB do andar de potência, o que permitiu a correção de erros efetuados na primeira versão. São também mencionados os semicondutores de potência utilizados, sendo estes bastante recente no mercado e que suportam valores de frequência de comutação elevados. Para além disso, identifica-se as proteções de *gate* utilizadas e a justificação para o valor escolhido da resistência de *gate*. Por último

são indicados os componentes passivos do conversor CC-CA, mais especificamente os condensadores do barramento CC, a bobina de acoplamento com a rede elétrica e o condensador de desacoplamento.

Por último, no capítulo 5, foram expostos os resultados experimentais obtidos do sistema desenvolvido. Foi apresentada a sincronização do sistema com a rede elétrica, podendo se verificar um correto sincronismo, obtendo um sinal sinusoidal a partir da tensão distorcida da rede elétrica. Contudo, esta apresenta um pequeno desfasamento, mas algo não muito significativo. Posto isto, foram realizados testes por etapas, começando por um teste em malha aberta, que permitiu a validação da topologia e da modulação efetuada. Seguiu-se para os testes em malha fechada, onde também se fez por etapas os devidos testes, podendo assim ir validando o sistema com menor risco. O primeiro teste em malha fechado consistiu em sintetizar corrente numa carga R tendo o barramento CC alimentado por uma fonte de alimentação. Após o primeiro teste, efetuou-se o mesmo teste, mas substituiu-se a carga R pela rede elétrica. De modo a testar o controlo, realizou-se testes onde se injetou corrente com a frequência fundamental e a 150 Hz. Para além destes, também foram efetuados testes a absorver corrente para o barramento CC, verificando assim o modo bidirecional do sistema. Com a validação do sistema quanto ao controlo e quanto ao conversor, passou-se para os testes de operação do sistema como FAP. Estes testes começaram com baixa tensão e baixa frequência de comutação, o que permitiu validar o sistema primeiro, salvaguardando os componentes e a segurança humana. Os níveis de tensão e de frequência de comutação foram aumentando à medida que se validou o funcionamento do sistema com os valores mais baixos.

O desenvolvimento desta dissertação acarretou uma quantidade considerável de trabalho, quer a nível de revisão bibliográfica quer ao desenvolvimento do hardware e software do sistema. Uma vez que o sistema foi desenvolvido de raiz, possibilitou adquirir conhecimentos sobre o desenho de PCBs e sobre os componentes necessários para a implementação do sistema. Adquiriu-se ainda conhecimentos sobre os semicondutores de potência, principalmente sobre o seu acionamento. Foram também adquiridos conhecimentos sobre o comportamento não-ideal de elementos como bobinas e condensadores.

Assim, com a realização desta dissertação permitiu o desenvolvimento de um modelo de simulação detalhado que validou a técnica de controlo de corrente e a modulação proposta. Possibilitou também o desenvolvimento e validação de um inversor multinível de cinco níveis, com dimensões reduzidas, bem como a validação do mesmo operando como filtro ativo de potência paralelo para diversas cargas. No caso dos resultados obtidos, estes corroboraram com os resultados de simulação obtidos. Em relação ao circuito de *driver*, pode-se observar que este não se trata do mais indicado para este tipo de semicondutor de potência.

6.2 Sugestões para Trabalho Futuro

O trabalho de dissertação desenvolvido permitiu a validação do sistema composto por um conversor CC-CA operando como FAP, contudo, existe aspetos que devem ser explorados, com o objetivo de serem melhorados, visando um melhor desempenho do sistema e tornando-o mais fiável.

Apesar do correto funcionamento das PCBs desenvolvidas, seria vantajoso refazer principalmente a PCB de potência, pois esta apresenta ainda alguns erros que foram necessários corrigir refazendo as pistas. Outra melhoria seria no acesso aos semicondutores, tanto a nível de acoplamento ao dissipador, bem como a possibilidade de efetuar medições nos seus terminais. Na PCB de potência seria também conveniente substituir o regulador de tensão linear por um regulador de tensão comutado, como foi feito na PCB de controlo, uma vez que este consumiria menos energia e não sobreaquecia. Em relação à PCB de controlo, seria benéfico efetuar uma revisão, acrescentando um terminal para efetuar a alimentação da DSP, bem como a implementação de mais pontos de teste e um botão de *disable* e *enable*.

Adicionalmente é sugerido efetuar a troca dos drivers utilizados por drivers mais dedicados/específicos para o semicondutor de potência escolhido. Na escolha deste novo driver sugeria também que este utiliza-se tensão negativa para desligar o semicondutor de potência, uma vez que o tempo de *turn off* é menor, e em caso de interferências no sinal este não entre em condução num momento indesejado.

Sugiro que se efetue uma parametrização do controlo de corrente em função dos filtros passivos, uma vez que ao mudar os filtros passivos, faz com que seja necessário calibrar novamente os valores do filtro no controlo. Sugiro ainda alterar o controlo aplicado aos barramentos CC, uma vez que é essencial que estes estejam em equilíbrio entre si, bem como a regulação dos mesmos para o valor pretendido apresentaria melhor resultado. Para tal seria vantajoso utilizar o controlo preditivo da tensão para os mesmos.

De forma a melhorar a segurança tanto do sistema desenvolvido como a segurança humana, recomenda-se que este seja colocado dentro de uma caixa adequada, sendo apenas acessível os botões para o acionamento do sistema ou de corte em caso defeito no funcionamento do sistema. Nesta caixa seria também interessante acoplar um ecrã gráfico, de modo a permitir ao utilizador efetuar uma monitorização do funcionamento do sistema e observar a forma da onda produzida, bem como observar como fica a corrente na rede elétrica depois da compensação.

Por fim, com o objetivo de aferir todas as potencialidades do sistema desenvolvido, deve-se realizar testes com tensões progressivamente mais elevadas, até se atingir os valores nominais do sistema, observando o comportamento do sistema e monitorizar a temperatura do mesmo, para

averiguar se nenhum componente se encontra em esforço e sobreaquecido e a durabilidade do sistema desenvolvido.

Lista de Referências

- [1] J. L. Afonso, R. G. Pregitzer, J. G. Pinto, L. F. C. Monteiro, P. Neves, R. Alves, D. Gonçalves, J. Cunha, J. Batista, J. S. Martins, J. Sepúlveda, E. Pinto, and R. Morgado, "SINUS - Tecnologia para Monitorização da Qualidade de Energia , Compensação Dinâmica de Harmónicos , Factor de Potência e Desequilíbrios e para Interface de Fontes Renováveis," *Proc. XCLEEE - 10th Port. Congr. Electr. Eng.*, pp. 2–7, 2007. doi: <http://hdl.handle.net/1822/7659>.
- [2] S. Bhattacharyya and S. Cobben, "Consequences of Poor Power Quality – An Overview," *Power Qual.*, pp. 3–24, 2011. doi: 10.5772/13787.
- [3] J. L. Afonso and J. S. Martins, "Qualidade da energia eléctrica," *Rev. o Electr.*, vol. 9, pp. 66–71, 2004. doi: <http://hdl.handle.net/1822/1920>.
- [4] M. M. Morcos and J. C. Gomez, "Electric power quality-the strong connection with power electronic," *IEEE Power Energy Mag.*, vol. 1, no. 5, pp. 18–25, 2003. doi: 10.1109/MPAE.2003.1231687.
- [5] I. S. 519-1992, "IEEE Recommended Practice and Requirements for Harmonic Control in Electric Power Systems IEEE Power and Energy Society," 2014. doi: 10.1109/IEEESTD.2014.6826459.
- [6] R. D. Henderson and P. J. Rose, "Harmonics : The Effects on Power Quality and Transformers," *IEEE Trans. Ind. Appl.*, vol. 30, no. 3, 1994. doi: 10.1109/28.293695.
- [7] R. Christiansen, "Effects of high levels of harmonics from lighting equipment and systems," *Ind. Appl. Soc. Annu. Meet.*, pp. 1859–1862, 1991. doi: 10.1109/IAS.1991.178114.
- [8] G. E. Mog and E. P. Ribeiro, "Total Harmonic Distortion Calculation by Filtering for Power Quality Monitoring," *IEEE/PES Transm. Distrib. Conf. Expo. Lat. Am.*, pp. 629–632, 2004. doi: 10.1109/TDC.2004.1432452.
- [9] W. C. Stemmet and Atkinson-Hope, "Simulation Method for Identifying A Harmonic Offender in a Power System Containing Multiple Six-Pulse Drives," *Proc. 41st Int. Univ. Power Eng. Conf.*, pp. 1061–1066, 2006. doi: 10.1109/UPEC.2006.367640.
- [10] C. Lee, Y.-J. Lin, and C. Chen, "The Effect of Harmonic Phase Angle on the Operation Performance of a Three-phase Induction Motor," pp. 2499–2505, 2000. doi: 10.1109/PESS.2000.867384.
- [11] J. E. Mitchell, "Distortion factor: the 'new' problem of power factor," *Fourteenth Int. Telecommun. Energy Conf.*, pp. 514–516, 1992. doi: 10.1109/INTLEC.1992.268394.
- [12] E.S.O, "Definitions for the Measurement of Electric Power Quantities Under Sinusoidal, Nonsinusoidal, Balanced, or Unbalanced Conditions," *IEEE Power Eng. Soc. Winter Meet. Conf. Proc.*, pp. 1421–1424, 2002. doi: 10.1109/PESW.2002.985249.
- [13] A. Girgis, S. He, G. Hensley, D. Iwanusiw, W. Kortebein, and T. McComb, "Practical Definitions for Powers in Systems with Nonsinusoidal Waveforms and Unbalanced Loads : A Discussion," *IEEE Trans. Power Deliv.*, vol. 11, no. 1, pp. 79–101, 1996. doi: 10.1109/61.484004.
- [14] L. Cividino, "Power factor, harmonic distortion; causes, effects and considerations," *Fourteenth Int. Telecommun. Energy Conf. - INTELEC '92*, pp. 506–513, 1992. doi: 10.1109/INTLEC.1992.268395.
- [15] Z. Lin, G. Li, M. Zhou, and K. . Lo, "Economic Evaluation of Real-Time Power Quality Cost," *45th Int. Univ. Power Eng. Conf.*, 2010.
- [16] H. Akagi, "New Trends in Active Filters for Power Conditioning," *IEEE Trans. Ind. Appl.*, vol. 32, no. 6, pp. 1312–1322, 1996. doi: 10.1109/28.556633.
- [17] J. Afonso, C. Couto, and J. Martins, "Active Filters with Control Based on the p-q Theory," *IEEE Ind. Electron. Soc. Newsl.*, vol. 47, no. 3, pp. 5–10, 2000.

- [18] H. Dai, Y. Wang, X. Li, H. Deng, and Z. Ming, "Characteristic analysis of reactive power compensation device at HVDC converter station," *Asia-Pacific Power Energy Eng. Conf.*, 2012. doi: 10.1109/APPEEC.2012.6307271.
- [19] W. K. A. Gonçalves, J. C. Oliveira, and V. L. S. Franco, "Harmonics Produced by Advanced Static Var Compensator under Electric Power Supply Conditions with Loss of Quality," *Int. Conf. Electr. Util. Deregul. Restruct. Power Technol.*, pp. 660–665, 2000. doi: 10.1109/DRPT.2000.855744.
- [20] H. Akagi, Y. Kanazawa, and A. Nabae, "Instantaneous Reactive Power Compensators Comprising Switching Devices without Energy Storage Components," *IEEE Trans. Ind. Appl.*, vol. IA-20, no. 3, pp. 625–630, 1984. doi: 10.1109/TIA.1984.4504460.
- [21] D. Bueno and E. Silda, "Dispositivos de Carboneto de silício na Eletrônica de Potência : Uma Revisão," *XX Congr. Bras. Automática*, pp. 577–584, 2014.
- [22] J. Kindmark and R. Fredrick, "Powder Material for Inductor Cores," 2013.
- [23] K. R. Chaudhari and T. A. Trivedi, "Analysis on Control Strategy of Shunt Active Power Filter for Three-phase Three-wire System," *IEEE PES Transm. Distrib. Conf. Expo.*, pp. 1–6, 2014. doi: 10.1109/TDC-LA.2014.6955179.
- [24] P. Neves, D. Gonçalves, J. G. Pinto, R. Alves, and J. L. Afonso, "Single-Phase Shunt Active Filter Interfacing Renewable Energy Sources with the Power Grid," *35th Annu. Conf. IEEE Ind. Electron.*, pp. 3264–3269, 2009. doi: 10.1109/IECON.2009.5415208.
- [25] J. G. Pinto, H. Carneiro, B. Exposto, C. Couto, and J. L. Afonso, "Transformerless series active power filter to compensate voltage disturbances," *Proc. 2011 14th Eur. Conf. Power Electron. Appl.*, 2011.
- [26] L. Yin, X. Zhao, Z. Xin, and H. Luo, "A Novel Control Method for Single-phase Shunt Active Power Filter," *Proceeding 11th World Congr. Intell. Control Autom.*, pp. 4111–4116, 2014. doi: 10.1109/WCICA.2014.7053404.
- [27] C. Hou and Y. Huang, "Design of Single-Phase Shunt Active Filter for Three-Phase Four-Wire Distribution Systems," *IEEE Energy Convers. Congr. Expo.*, pp. 1525–1528, 2010. doi: 10.1109/ECCE.2010.5618240.
- [28] R. Costa-castelló, R. Griñó, and R. C. Parpal, "High-Performance Control of a Single-Phase Shunt Active Filter," *IEEE Trans. Control Syst. Technol.*, vol. 17, no. 6, pp. 1318–1329, 2009. doi: 10.1109/TCST.2008.2007494.
- [29] P. Thayumanavan and R. Muthu, "Comparison of Cascaded H-Bridge , Neutral Point Clamped and Flying Capacitor Multilevel Inverters using Multicarrier PWM," *Annu. IEEE India Conf.*, 2011. doi: 10.1109/INDCON.2011.6139534.
- [30] M. S. Aspilli and A. Wamanrao, "Sinusoidal Pulse Width Modulation (SPWM) With Variable Carrier Synchronization for Multilevel Inverter Controllers," *Int. Conf. Control. Autom. Commun. Energy Conserv.*, pp. 1–6, 2009.
- [31] G. S. Konstantinou and V. G. Agelidis, "Performance Evaluation of Half-Bridge Cascaded Multilevel Converters Operated with Multicarrier Sinusoidal PWM Techniques," *4th IEEE Conf. Ind. Electron. Appl.*, pp. 3399–3404, 2009. doi: 10.1109/ICIEA.2009.5138833.
- [32] J. Ning and Y. He, "Phase-Shifted Suboptimal Pulse-Width Modulation Strategy for Multilevel Inverter," *1ST IEEE Conf. Ind. Electron. Appl.*, 2006. doi: 10.1109/ICIEA.2006.257127.
- [33] D. Kalyanraj and S. L. Prakash, "Design and Performance Analysis of Different Current Control Strategies of Voltage Source Inverter," *Int. Conf. Power, Energy Control*, 2013. doi: 10.1109/ICPEC.2013.6527672.
- [34] Â. Araújo, J. G. Pinto, B. Exposto, C. Couto, and J. L. Afonso, "Implementation and Comparison of Different Switching Techniques for Shunt Active Power Filters," *IECON 2014 - 40th Annu. Conf. IEEE Ind. Electron. Soc.*, pp. 1519–1525, 2014. doi: 10.1109/IECON.2014.7048703.
- [35] P. C. Loh, G. H. Bode, D. G. Holmes, and T. A. Lipo, "A Time-Based Double-Band Hysteresis Current

- Regulation Strategy for Single-Phase,” *IEEE Trans. Ind. Appl.*, vol. 39, no. 3, pp. 883–892, 2003. doi: 10.1109/TIA.2003.810667.
- [36] A. I. Maswood and E. Al-Ammar, “Analysis of a PWM Voltage Source Inverter with PI Controller under Non-ideal conditions,” *Conf. Proc. IPEC*, pp. 193–198, 2010. doi: 10.1109/IPECON.2010.5697104.
- [37] M. P. Kazmierkowski and L. Malesani, “Current Control Techniques for Three-Phase Voltage-Source PWM Converters: A Survey,” *IEEE Trans. Ind. Electron.*, vol. 45, no. 5, pp. 691–703, 1998. doi: 10.1109/41.720325.
- [38] A. M. Massoud, S. J. Finney, and Williams, “Predictive Current Control of a Shunt Active Power Filter,” *IEEE 35th Annu. Power Electron. Spec. Conf.*, pp. 3567–3572, 2004. doi: 10.1109/PESC.2004.1355106.
- [39] V. Monteiro, J. C. Ferreira, A. A. N. Meléndez, and J. L. Afonso, “Model Predictive Control Applied to an Improved Five-Level Bidirectional Converter,” *IEEE Trans. Ind. Electron.*, vol. 63, no. 9, pp. 5879–5890, 2016. doi: 10.1109/TIE.2016.2558141.
- [40] S. Orts-Grau, F. J. Gimeno-Sales, A. Abellán-García, and S. Seguí-Chilet, “Improved Shunt Active Power Compensator for IEEE Standard 1459 Compliance,” *IEEE Trans. Power Deliv.*, vol. 25, no. 4, pp. 2692–2701, 2010. doi: 10.1109/TPWRD.2010.2049033.
- [41] G. A. V. Cáceres, J. C. G. Lizarazo, M. A. M. Villalobos, and J. F. P. Suárez, “Active power filters: A comparative analysis of current control techniques,” *2010 IEEE ANDESCON*, 2010. doi: 10.1109/ANDESCON.2010.5631646.
- [42] T. Santos, J. G. Pinto, P. Neves, D. Gonçalves, and J. L. Afonso, “Comparison of Three Control Theories for Single-Phase Active Power Filters,” *35th Annu. Conf. IEEE Ind. Electron.*, pp. 3637–3642, 2009. doi: 10.1109/IECON.2009.5415144.
- [43] H. Akagi, Y. Kanazawa, K. Fujita, and A. Nabae, “Generalized Theory of Instantaneous Reactive Power and Its Application,” *Electr. Eng.*, vol. 103, no. 4, pp. 58–66, 1983. doi: <https://doi.org/10.1002/eej.4391030409>.
- [44] E. H. Watanabe, R. M. Stephan, and M. Aredes, “New concepts of instantaneous active and reactive powers in electrical systems with generic loads,” *IEEE Trans. Power Deliv.*, vol. 8, no. 2, pp. 667–703, 1993. doi: 10.1109/61.216877.
- [45] M. Aredes and E. H. Watanabe, “New control algorithms for series and shunt three-phase four-wire active power filters,” *IEEE Trans. Power Deliv.*, vol. 10, no. 3, pp. 1649–1656, 1995. doi: 10.1109/61.400952.
- [46] J. Liu, J. Yang, and Z. Wang, “A new approach for single-phase harmonic current detecting and its application in a hybrid active power filter,” *Conf. Proceedings. 25th Annu. Conf. IEEE Ind. Electron. Soc.*, pp. 849–854, 1999. doi: 10.1109/IECON.1999.816519.
- [47] M. T. Haque, “Single-phase pq theory for active filters,” *IEEE Reg. 10 Conf. Comput. Commun. Control Power Eng.*, pp. 1941–1944, 2002. doi: 10.1109/TENCON.2002.1182718.
- [48] I. Colak, R. Bayindir, E. Irmak, and O. Kaplan, “A Comparative Study of Harmonic Extraction Methods for Single Phase Shunt Active Power Filter,” *Int. Conf. Power Eng. Energy Electr. Drives*, 2011. doi: 10.1109/PowerEng.2011.6036515.
- [49] S. W. Smith, *Digital Signal Processing*, Second Edi. 1999.
- [50] S. Karvekar and A. Kumbhojkar, “Comparison of Different Methods of Reference Current Generation for Shunt Active Power Filter Under Balanced And Unbalanced Load Conditions,” *Int. Conf. Circuits, Power Comput. Technol.*, pp. 430–434, 2013. doi: 10.1109/ICCPCT.2013.6528827.
- [51] W. M. Grady, M. J. Samotyj, and A. H. Noyola, “Survey of Active Power Line Conditioning Methodologies,” *IEEE Trans. Power Deliv.*, vol. 5, no. 3, pp. 1536–1542, 1990. doi: 10.1109/61.57998.
- [52] M. Depenbrock, “The FBD-method, a generally applicable tool for analyzing power relations,” *IEEE Trans. Power Syst.*, vol. 8, no. 2, pp. 381–387, 1993. doi: 10.1109/59.260849.

- [53] V. Staudt, "Fryze - Buchholz - Depenbrock : A time-domain power theory," *Int. Sch. Nonsinusoidal Curr. Compens.*, pp. 1–12, 2008. doi: 10.1109/ISNCC.2008.4627481.
- [54] V. V. N. Obreja, C. Codreanu, K. I. Nuttall, and I. Codreanu, "Peaks in temperature distribution over the area of operating power semiconductor junctions related to the surface leakage current Peaks in Temperature Distribution over the Area of Operating Power Semiconductor Junctions Related to the Surface Leakage Cur," *Proc. 6th Int. Conf. Therm. Mech. Multi-Physics Simul. Exp. Micro-Electronics Micro-Systems*, 2005. doi: 10.1109/ESIME.2005.1502871.
- [55] S. Jang, H. Ryoo, G. Goussev, and G. H. Rim, "Comparative Study of MOSFET and IGBT for High Repetitive Pulsed Power Modulators," *IEEE Trans. Plasma Sci.*, vol. 40, no. 10, pp. 1–8, 2012. doi: 10.1109/TPS.2012.2186592.
- [56] M. Routimo, M. Salo, and H. Tuusa, "Comparison of Voltage-Source and Current-Source Shunt Active Power Filters," *IEEE Trans. Power Electron.*, vol. 22, no. 2, pp. 636–643, 2007. doi: 10.1109/PESC.2005.1581995.
- [57] K. Haddad and G. Joós, "Implementation issues for half-bridge and full-bridge active filters in single phase applications," *Can. Conf. Electr. Comput. Eng.*, pp. 544–547, 1997. doi: 10.1109/CCECE.1997.608282.
- [58] N. Mittal, B. Singh, S. P. Singh, R. Dixit, and D. Kumar, "Multilevel Inverters : A Literature Survey on Topologies and Control Strategies," *Int. Conf. Power, Control Embed. Syst.*, 2012. doi: 10.1109/ICPCES.2012.6508041.
- [59] S. Kincic, A. Chandra, and S. Babic, "FIVE LEVEL DIODE - CLAMPED VOLTAGE SOURCE INVERTER AND ITS APPLICATION IN REACTIVE POWER," *LESCOPE'02. 2002 Large Eng. Syst. Conf. Power Eng. Conf. Proc.*, pp. 86–92, 2002. doi: 10.1109/LESCPE.2002.1020671.
- [60] J. Rodríguez, J. Lai, and S. Member, "Multilevel Inverters : A Survey of Topologies , Controls , and Applications," *IEEE Trans. Ind. Electron.*, vol. 49, no. 4, pp. 724–738, 2002. doi: 10.1109/TIE.2002.801052.
- [61] T. Porselvi and R. Muthu, "Comparison of Cascaded H-Bridge , Neutral Point Clamped and Flying Capacitor Multilevel Inverters using Multicarrier PWM," *Annu. IEEE India Conf.*, 2011. doi: 10.1109/INDCON.2011.6139534.
- [62] C. Feng, J. Liang, and V. G. Agelidis, "Modified Phase-Shifted PWM Control for Flying Capacitor Multilevel Converters," *IEEE Transactions on Power Electronics*, vol. 22, no. 1, pp. 178–185, 2007. doi: 10.1109/TPEL.2006.886600.
- [63] S. S. Alex Ruderman, "A hybrid asymmetric cascaded multilevel inverter comprising high resolution and symmetric low resolution parts," *IEEE 25th Conv. Electr. Electron. Eng. Isr.*, pp. 21–25, 2008. doi: 10.1109/EEEI.2008.4736550.
- [64] C. Hua, C. Wu, and C. Chuang, "Control of Low-Distortion 27-Level Cascade Inverter with Three H-Bridge Inverter Modules," *IEEE Int. Conf. Ind. Technol.*, pp. 277–282, 2006. doi: 10.1109/ICIT.2006.372338.
- [65] M. Karimi-Ghartmani and M. R. Iravani, "A New Phase-Locked Loop (PLL) System," *Proc. 44th IEEE 2001 Midwest Symp. Circuits Syst.*, pp. 421–424, 2001. doi: 10.1109/MWSCAS.2001.986202.
- [66] C. Technologies, "Hall Effect Voltage Sensor CYHVS025A," pp. 1–3, 2016.
- [67] LEM, "Current Transducer LTSR 15-NP," pp. 1–3, 2014.
- [68] T. Instruments, "µ A7800 Series Positive-Voltage Regulators," pp. 1–12, 2003.
- [69] M. P. Solutions, "OKI-78SR Series," pp. 1–20, 2017.
- [70] T. Instruments, "LMx58-N Low-Power , Dual-Operational Amplifiers," pp. 1–40, 2014.
- [71] T. Instruments, "2.5 V Integrated Reference Circuit," pp. 1–22, 2009.
- [72] T. Instruments, "LM339 , LM239 , LM139 , LM2901 Quad Differential Comparators," pp. 1–33, 2018.
- [73] T. Instruments, "xx555 Precision Timers," pp. 1–36, 2014.

- [74] T. Instruments, “SNx4HC32 Quadruple 2-Input Positive-OR Gates,” pp. 1–32, 2016.
- [75] A. Devices, “Isolated Precision Half-Bridge Driver,” pp. 1–20, 2017.
- [76] M. P. Solutions, “MEJ1 Series,” pp. 1–9, 2013.
- [77] N. Semiconductors, “BYC8-600 Hyperfast power diodo,” pp. 1–10, 2013.
- [78] S.Labs, “AN486 : High-Side Bootstrap Design Using ISODrivers in Power Delivery Systems,” pp. 1–10.
- [79] T. Power, “DC / DC Converters,” pp. 1–3, 2018.
- [80] Cree, “C3M0120090D Silicon Carbide Power MOSFET,” no. 1, pp. 1–10, 2015.
- [81] Fagor, “1.3 W Surface Mount Glass Passivated Zener Diode,” pp. 1–6, 2011.
- [82] V. BComponents, “Aluminum Capacitors Power Long Life 4-Terminal Snap-In,” pp. 1–7, 2014.
- [83] E. C. Kemet, “Polypropylene Pulse / High Frequency Capacitors,” pp. 1–14, 2018.
- [84] Infineon, “lpw50r190ce, ipp50r190ce,” pp. 1–14, 2016.
- [85] Fairchild, “FGA25N120ANTD Package Marking and Ordering Information,” no. November, pp. 1–9, 2013.